

二硫化鉬奈米碟於浮閘記憶體的應用

The Application of MoS₂ Nanodisks in Floating Gate Memory

戴漢翔、蘇楊淵、王哲麒、賴朝松

Han-Hsiang Tai, Yang Yuan Su, Jer-Chyi Wang, Chao-Sung Lai

隨著製程技術的演進，元件尺寸持續的縮小使得非揮發性記憶體 (nonvolatile memories, NVM) 在特性上面臨著許多挑戰，為此研究人員嘗試提出許多辦法以及結構來解決元件特性劣化的問題。二維材料 (two-dimensional material, 2D material) 由於具有原子等級的厚度且擁有優異的特性使其被視為下一代元件的材料選項之一。在本研究中，我們將單層二硫化鉬 (MoS₂) 製作成奈米碟 (nanodisk, ND) 並應用於記憶體元件中的電荷儲存單元，此 MoS₂ 薄膜是透過低壓化學氣相沉積系統 (low-pressure chemical-vapor-deposition, LPCVD) 沉積於二氧化矽 (SiO₂) 薄膜上，使用快速熱退火 (rapid thermal annealing, RTA) 形成的金奈米點 (Au nanoparticles) 當作硬遮罩 (hard mask) 並透過蝕刻製程使 MoS₂ 形成奈米碟，進一步製作成 MoS₂ 奈米碟記憶體。此記憶體元件具有 2.45 V 的記憶窗，並且在經過 10 年後僅有 14% 的電荷流失以及具有超過 8×10^4 次的寫入/抹除 (program/erase) 能力。本研究所使用的自我對準 (self-aligned) 技術以及所開發成功的 MoS₂ 奈米碟記憶體具有相當大的潛力可以應用於下一世代的非揮發性記憶體當中。

In recent years, the nonvolatile memories (NVMs) are continuously scaled because of the evolution of semiconductor process technology, which faces various challenges of device performances. Thus, the researchers have attempted to propose lots of methods and structures to solve the problems of characteristics degradation. The two-dimensional material (2D material) with atomic-level thickness and excellent properties has considered as one of the promising candidates for next-generation devices. In this study, the monolayer molybdenum disulfide (MoS₂) was fabricated as nanodisks (NDs) and applied as the charge storage sites of NVMs. The MoS₂ film was deposited on silicon dioxide (SiO₂) films by the low-pressure chemical-vapor-deposition system (LPCVD) and then patterned by the hard mask of gold nanoparticles via the rapid thermal annealing (RTA) and etching processes to form the MoS₂ NDs. The memory devices with MoS₂ NDs exhibited a memory window of 2.45 V, the charge loss of approximately 14 % after 10 years and the endurance of more than 8×10^4 cycles. The self-aligned technology and the memory devices with MoS₂ NDs proposed in this work have considerable potential for the development of next-generation NVMs.

一、背景介紹

由於科技的快速發展以及人類生活方式的改變，人們對於電子產品的需求逐漸增加，特別是對於可攜帶式電子產品的需求極高。因為儲存在非揮發性記憶體中的資料在斷電後不會消失，使得非揮發性記憶體被廣泛的應用在可攜帶式電子產品當中，進而讓記憶體市場快速發展並帶動研究人員投入更多的心力來改善記憶體特性⁽¹⁾。非揮發性記憶體結構的原型為 1985 年被提出的電子抹除式可複寫唯讀記憶體 (electrically-erasable programmable read-only memory, EEPROM)，此記憶體由穿隧氧化層 (tunneling oxide, TO) 和阻擋氧化層 (blocking oxide, BO) 所組成，其工作原理是透過在浮動閘極 (floating gate, FG) 中儲存電荷來獲得閾值電壓 (threshold voltage, V_{th}) 偏移，而 V_{th} 的差異可用於決定記憶體元件的狀態 (0 或 1)⁽²⁾。然而，較差的運算速度和儲存性能一直是 EEPROM 元件需要解決的問題，因此，具有快速寫入與抹除資料的快閃式記憶體 (flash memory) 被提出並廣泛地運用在現行的電子裝置中⁽³⁾。快閃式記憶體採用類似於 EEPROM 的浮動閘極結構，但相較於 EEPROM 的一個位元接著一個位元抹除的方式，快閃式記憶體直接對一個區域進行抹除，使其在操作上極具優勢⁽⁴⁾。

近年來，記憶單元的微縮已成為設計高密度和低功耗浮動閘極快閃式記憶體的最佳方法⁽³⁾。然而，作為浮動閘極的多晶矽 (polysilicon) 在垂直微縮時會導致穿隧氧化層產生嚴重的漏電流，使得儲存在多晶矽中的電荷透過穿隧氧化層迅速洩漏到基板，尤其是當穿隧氧化層具有缺陷時更容易發生。為了克服微縮所帶來的問題，研究人員提出了一些方法來取代傳統快閃式記憶體的浮動閘極，例如採用矽-氧化物-氮化物-氧化物-矽 (silicon-oxide-nitride-oxide-silicon, SONOS) 結構的記憶體。與傳統的快閃式記憶體不同的是 SONOS 記憶體具有離散的電荷儲存性質，因此 SONOS 記憶體只會在穿隧氧化層缺陷附近造成電荷損失⁽⁵⁾。這使得 SONOS 記憶體的穿隧氧化層具有更優異的微縮能力，並且可以提升元件的記憶特性和穩定度。此外，SONOS 記憶體具有更低的操作電壓並與傳統互補式金屬氧化物半導體 (complementary metal-oxide-semiconductor, CMOS) 製程有相當高的相容性。然而，氮化矽本身的離散缺陷並不是很深的缺陷，當記憶體受到熱擾動影響時，限制在缺陷中的電荷會通過熱能逸出，從而影響到數據保存⁽⁶⁾。此外，使用奈米晶粒 (Nanocrystal, NC) 作為浮動閘極的記憶體也被認為是下一代記憶體中有希望的候選者之一。其原理是利用奈米晶粒作為電荷儲存的介質，在單一記憶體元件中包含許多奈米晶粒，並透過離散的電荷儲存性質來抑制電荷的橫向遷移並提高數據保存特性⁽⁷⁾。奈米晶粒的材料通常可以區分為半導體和金屬奈米晶粒兩種，半導體奈米晶粒如矽奈米晶粒 (Si-NCs) 是由 S. Tiwari 等人於 1996 年提出⁽⁸⁾，擁有不錯的記憶特性及相當高的 CMOS 製程相容性，而金屬奈米晶粒如金 (Au)、鎳 (Ni)、鈷 (Co)、鉑 (Pt) 等⁽⁹⁻¹¹⁾ 被證實在費米能階 (Fermi level) 附近具有更高的狀態密度及高功函數等特性，可以在不影響操作速度的情況下提高記憶體的數據保存能力。

除了使用金屬材料之外，近幾年也有研究人員提出使用二維材料作為快閃式記憶體的浮動閘極。二維材料因為僅有一個原子的厚度，且其本質上特殊的電子傳導特性、熱導特性、光學特性、以及機械特性⁽¹²⁾，被視為元件微縮時最有希望的候選材料之一，而最近也被廣泛地研究。最先被使用的二維材料為石墨烯 (graphene)，可以透過化學氣相沉積來進行大規模的生長同時通過轉印製程將石墨烯轉印至不同的基板上，為電子元件的開發提供新的機會。然而，石墨烯的生長和轉印都有可能產生結構上的缺陷⁽¹³⁾，雖然缺陷通常對大多數元件特性有害，但卻可以當作捕獲中心，即快閃式記憶體的電荷儲存單元。除了石墨烯外，過

渡金屬二硫化物 (transition metal dichalcogenide, TMDCs) 是二維材料中特殊的一個群體，其材料種類繁多，特性涵蓋了金屬、半金屬、半導體、和絕緣體等，其中二硫化鉬 (MoS_2) 為過渡金屬二硫化物中相當熱門的材料之一，因為其能隙可以透過控制薄膜厚度從塊材的 1.8 eV 間接能隙轉變為單層薄膜的 1.2 eV 直接能隙⁽¹⁴⁾，因此被廣泛地應用於電晶體及光探測器。

相關研究已經證明使用多層石墨烯、氧化石墨烯 (graphene oxide, GO) 和二硫化鉬都可以表現出足夠大的記憶窗 (memory window)⁽¹⁵⁻¹⁷⁾，使得這些材料非常適合用於電荷儲存。在我們先前的研究中使用石墨烯奈米碟 (graphene nanodisk) 作為電荷儲存層，除了具有優異的記憶窗外，該元件也展現良好的可靠度⁽¹⁸⁻¹⁹⁾，可以防止電荷的橫向遷移，並降低了電荷通過隧道和/或阻擋氧化層的可能性。因此在本研究中，我們結合了二硫化鉬極薄與離散電荷儲存的優點，以及採用金奈米晶粒作為硬遮罩具有高密度、粒徑相似及在退火後形貌為圓形的特性，使用金奈米晶粒做為自我對準的硬遮罩來製作高密度二硫化鉬奈米碟非揮發性記憶體，此元件展現出約 2.45 V 的記憶窗以及在 10 年後僅有 14% 的電荷流失，證明使用二硫化鉬奈米碟作為離散電荷儲存層是非常有希望可以用於下一代非揮發記憶體的技術。

二、實驗方法

1. 二硫化鉬奈米碟非揮發性記憶體元件的製作流程

首先，使用 n 型矽晶圓並通過標準 RCA 清洗流程進行清潔，接著放入 850 °C 的水平爐管中，通入 5 slm 的氧氣 (O_2) 進行 150 s 的乾式氧化 (dry oxidation)，在矽晶圓表面成長 3 nm 的二氧化矽 (SiO_2) 薄膜，作為二硫化鉬奈米碟非揮發性記憶體的穿隧氧化層。之後將具有 3 nm 二氧化矽薄膜的矽晶圓放在特製的石英載台上並推入低壓化學氣相沉積系統的加熱區中，將三氧化鉬 (MoO_3) 與硫粉 (S) 分別放置於兩個石英舟上作為二硫化鉬薄膜生長的前驅物 (precursor)，三氧化鉬放置於石英載台前方，由於硫粉的熔點僅有 112 °C，因此被放置於另一獨立加熱區進行加熱。隨後將腔體抽至 10^{-3} torr 後，通入流量為 70 sccm 的氬氣 (Ar) 並開啟兩個加熱器分別將爐管溫度升至 630 與 190 °C，當爐管溫度達到設定溫度時持續維持 15 min 來進行二硫化鉬薄膜的沉積，接著讓系統在氬氣環境下自然降溫至室溫，再將樣品取出。然後使用熱阻式蒸鍍機 (thermal coater) 在二硫化鉬薄膜上沉積 1 nm 的金薄膜。為了使二硫化鉬薄膜上的金薄膜形成奈米晶粒，我們使用快速熱退火爐在氮氣 (N_2) 環境中進行 1 min 不同溫度 (300、400、500、和 600 °C) 的退火，將退火完的樣品放入反應離子蝕刻機 (reactive ion etching, RIE) 中並通入 100 sccm 的四氟甲烷控制腔體壓力維持在 300 mtorr，接著以 120 W 的功率產生四氟甲烷電漿 (CF_4 plasma) 進行 100 s 的蝕刻，並在沒有金奈米晶粒保護的二硫化鉬完成蝕刻後，將樣品浸入碘化鉀 (KI) 蝕刻液中 5 s 來將表面的金奈米晶粒去除，即完成二硫化鉬奈米碟的製作。接著使用電漿增強式化學氣相沉積系統 (plasma enhanced chemical vapor deposition, PECVD) 在樣品上沉積一層 8 nm 的二氧化矽薄膜作為阻擋氧化層。然後使用熱阻式蒸鍍機在樣品上沉積 300 nm 的鋁 (Al) 金屬薄膜當作上電極，記憶體元件的電極圖案是透過黃光製程 (photolithography) 並使用鋁蝕刻液進行蝕刻來定義，最後在樣品的背面鍍上 300 nm 的鋁做為背電極，詳細的二硫化鉬奈米碟非揮發性記憶體元件製程流程如圖 1 所示。

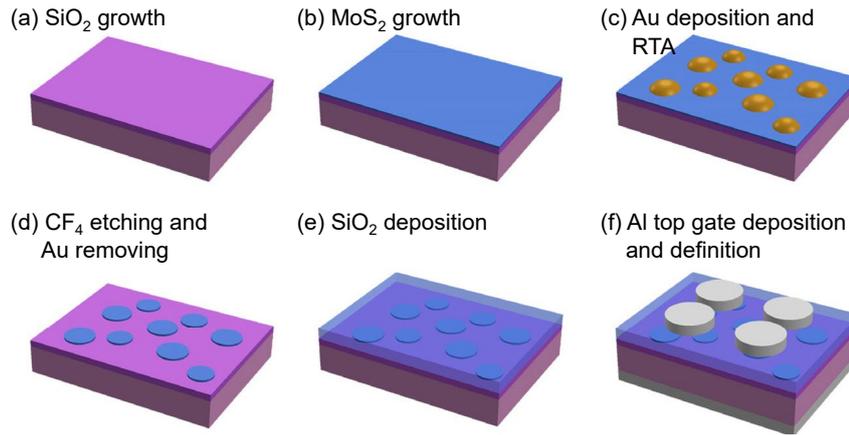


圖 1. 二硫化鉬奈米碟記憶體元件的製程流程圖。

2. 二硫化鉬奈米碟非揮發性記憶體的材料分析及電性分析

我們首先使用拉曼顯微鏡系統 (raman microscopy system, NTEGRA Spectra II, NT-MDT) 在 473 nm 的雷射和 1 μm 的光點尺寸下來進行二硫化鉬薄膜的材料特性分析。而二硫化鉬奈米碟的表面形貌則透過場發射掃描式電子顯微鏡 (scanning electron microscopy, SEM, SU8010, Hitachi) 進行分析並進一步使用 Image J 圖像分析軟體計算二硫化鉬奈米碟的尺寸及密度。接著使用高解析穿透式電子顯微鏡 (high resolution transmission electron microscopy, HRTEM, JEM-2800F, JEOL) 及高解析場發射掃描穿透式電子顯微鏡 (scanning transmission electron microscopy, STEM, Talos-F200X, Thermo) 來確認二硫化鉬奈米碟是否存在穿隧氧化層與阻擋氧化層之間。關於二硫化鉬奈米碟非揮發性記憶體元件的電性部分則是透過 Keysight B1500A 半導體參數分析儀進行量測，而電壓脈衝 (voltage pulse) 則通過 Keysight B1525A 高壓半導體脈衝產生器 (high voltage semiconductor pulse generator unit) 進行施加，用以量測記憶體的寫入與抹除特性。

三、結果與討論

根據文獻指出金與硫會產生金硫鍵而造成二硫化鉬薄膜特性的劣化⁽²⁰⁾，在常溫的環境下，並沒有達到形成金硫鍵反應的能量，因此金與硫分子之間處於相對穩定的狀態。然而，在記憶體元件的製程中，我們使用金奈米晶粒作為自我對準的遮罩，在形成金奈米晶粒的過程中需要使用快速熱退火製程。在這個過程中，金與硫分子會受到高溫催化，使得分子的平均動能上升，進而超越了金硫鍵反應的能量門檻，讓金與二硫化鉬薄膜間產生金硫鍵，導致二硫化鉬薄膜被破壞。為了瞭解在不同溫度下進行退火對於金和二硫化鉬薄膜所產生的影響，我們首先使用拉曼光譜儀進行對二硫化鉬薄膜進行分析，如圖 2 所示，在進行二硫化鉬薄膜拉曼光譜儀量測前，我們使用矽特徵峰 (520 cm^{-1}) 進行拉曼位移 (Raman shift) 校準。透過拉曼光譜可以觀察到未退火的二硫化鉬薄膜呈現兩特徵峰，分別為 E_{2g}^1 及 A_{1g} ，其中 E_{2g}^1 峰代表硫原子與鉬原子反方向的面內振動，而 A_{1g} 峰則代表硫原子沿垂直於平面方向的振動，通過計算兩特徵峰的拉曼位移差值就可得知二硫化鉬薄膜的層數。然而，在經過 500 及 600 $^{\circ}\text{C}$ 退火的二硫化鉬薄膜之拉曼光譜中並沒有觀察到特徵峰，這代表二硫

化鉬薄膜經過高溫的退火處理後形成金硫鍵而導致嚴重的損傷。而在 300 及 400 °C 進行退火的樣品仍然保有二硫化鉬的訊號。不幸的是，經過 400 °C 退火的樣品發現二硫化鉬薄膜的半高寬 (full width at half maximum, FWHM) 增加而且兩特徵峰都出現藍移，代表在經過 400 °C 退火仍然會導致二硫化鉬薄膜產生部分的損傷，所幸在 300 °C 退火的樣品與未經過退火前的訊號相似，因此可以判定 300 °C 退火的樣品仍保有二硫化鉬薄膜的特性。

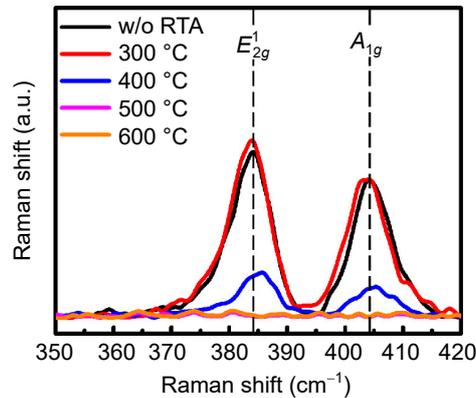


圖 2. Au/MoS₂/SiO₂ 樣品在不同溫度退火後的拉曼光譜。

我們進一步使用場發射掃描式電子顯微鏡分析金奈米晶粒在二硫化鉬薄膜表面形成的情況，如圖 3 所示。在低倍率 (30 k) 觀察退火後所形成的金奈米晶粒，300 °C 退火的樣品表面呈現均勻的顏色分布，而 400 °C 退火的樣品卻出現像斑點一樣的紋路，如圖 3(a) 和 (d) 所示。進一步放大至 100 k 的倍率後可以明顯地觀察到 400 °C 退火的樣品其金奈米晶粒尺寸及密度均呈現不均勻的分布情況。為了更精確地分析金奈米晶粒的尺寸及密度，我們將掃描式電子顯微鏡的放大倍率提升至 200 k 並使用 Image J 圖像分析軟體進行分析。從分析結果可以發現，300 °C 退火的樣品其金奈米晶粒的平均粒徑尺寸約為 17.15 nm，而 400 °C 退火

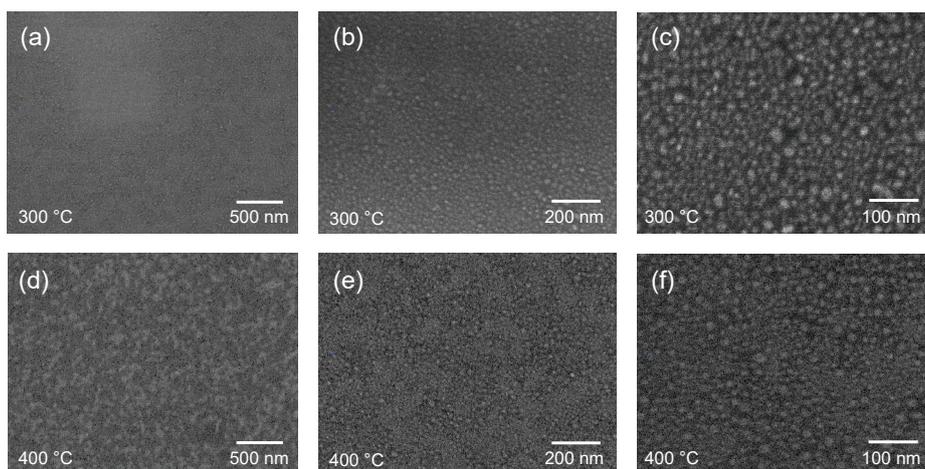


圖 3. (a)-(c) 經過 300 °C 退火的 Au/MoS₂/SiO₂ 樣品分別在 30 k、100 k、和 200 k 倍率的 SEM 圖像，(d)-(f) 經過 400 °C 退火的 Au/MoS₂/SiO₂ 樣品分別在 30 k、100 k、和 200 k 倍率的 SEM 圖像。

的樣品相較於 300 °C 具有更大的尺寸 (25 nm)，如圖 4(a) 和 (b) 所示。除此之外，我們還計算了金奈米晶粒在二硫化鉬薄膜上的覆蓋率，如圖 4(c) 所示，從分析結果可得知，兩個退火溫度下所產生的金奈米晶粒覆蓋率差異不大。然而，300 °C 退火的樣品具有較高的晶粒密度，這可以歸因於 300 °C 退火的樣品具有較小的金奈米晶粒。為了確認所製作的二硫化鉬奈米碟的電容結構，如圖 5 所示。二硫化鉬奈米碟的位置標記於穿透式電子顯微鏡圖像中，透過圖像可以得知奈米碟的厚度及寬度約為 0.6 nm 及 15 nm，顯示出二硫化鉬奈米碟為單層且與 Image J 分析的結果符合。除了使用穿透式電子顯微鏡外，我們另外利用高解析場發射掃描穿透式電子顯微鏡中的高角度環形暗場像 (high-angle annular dark field, HAADF) 進行能量色散 X-射線光譜 (energy-dispersive X-ray spectroscopy, EDS) 元素分析，二硫化鉬奈米碟的位置標示於圖 6(a)-(c) 中，根據標記的位置對應至 Mo 和 S 的元素圖像可以觀察到有明顯的訊號，代表二硫化鉬薄膜在經由退火及蝕刻後形成二硫化鉬奈米碟。透過這些材料分析可以證明我們成功地使用金奈米晶粒作為硬遮罩來形成二硫化鉬奈米碟。

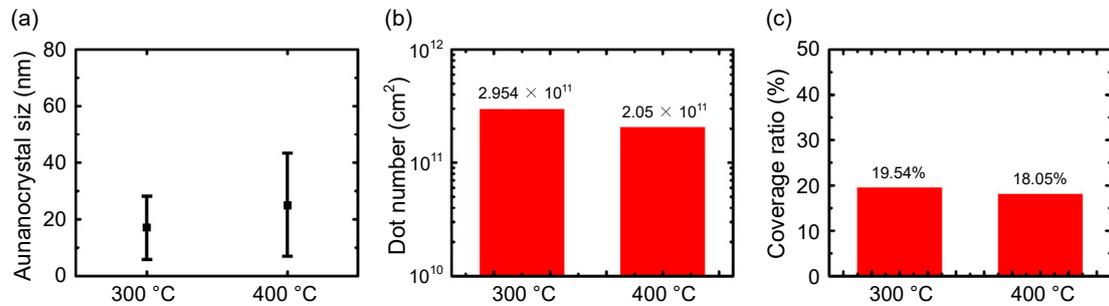


圖 4. 經過 300 及 400 °C 退火的 Au/MoS₂/SiO₂ 樣品透過 Image J 圖像分析之 (a) 金奈米晶粒粒徑尺寸、(b) 金奈米晶粒在二硫化鉬薄膜上單位面積密度、以及 (c) 金奈米晶粒在二硫化鉬薄膜上的覆蓋率。

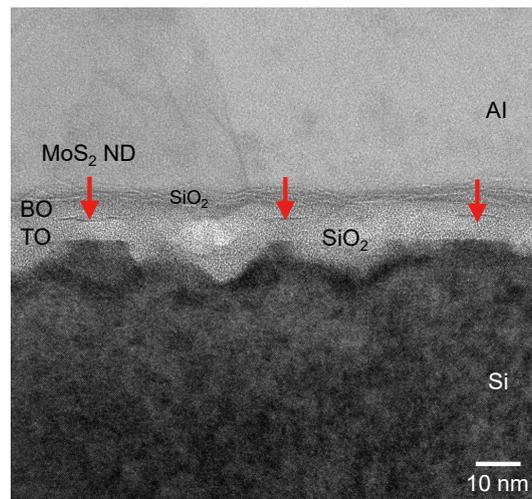


圖 5. 經過 300 °C 退火的二硫化鉬奈米碟記憶體元件的 HRTEM 圖像，二硫化鉬奈米碟標示於紅色箭頭處。

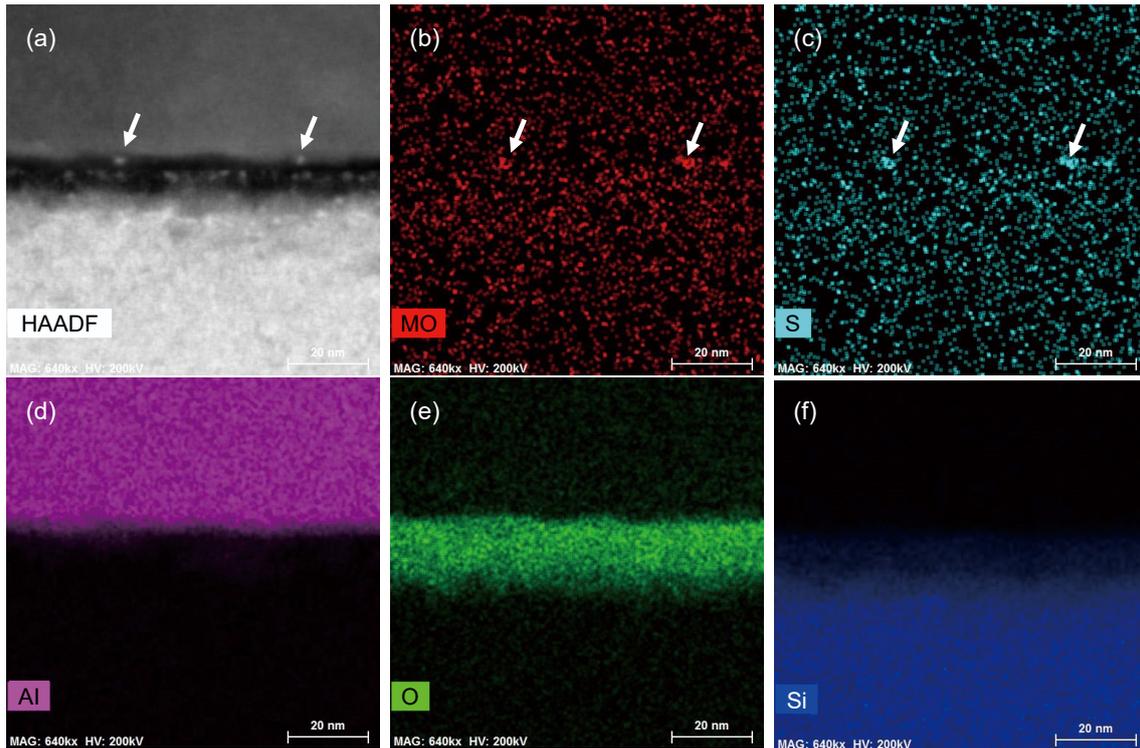


圖 6. 經過 300 °C 退火的二硫化鉬奈米碟記憶體元件的 (a) HADDF 圖像、EDS 元素分析之 (b) Mo、(c) S、(d) Al、(e) O、以及 (f) Si 分佈圖，二硫化鉬奈米碟標示於 (a)-(c) 的白色箭頭處。

接著我們透過半導體參數分析儀進行二硫化鉬奈米碟記憶體的電容特性量測，為了確認二硫化鉬奈米碟記憶體的記憶窗是二硫化鉬奈米碟內儲存電荷所形成，我們先進行沒有二硫化鉬奈米碟的樣品 (control) 量測，其電容－電壓 (capacitance-voltage, C-V) 特性曲線並沒有觀察到遲滯現象，如圖 7(a) 所示。這樣的結果可以證明我們所生長的 3 nm 二氧化矽穿隧氧化層及沉積的 8 nm 二氧化矽阻擋氧化層品質良好。接下來我們量測具有整層二硫化鉬薄膜且沒有經過快速熱退火的記憶體元件 (w/o RTA)，該樣品的電容－電壓特性曲線呈現明顯的遲滯現象，遲滯即代表浮閘記憶體的記憶窗，此記憶體元件的記憶窗約為 1.36 V，如圖 7(b) 所示。此外，經過 300 °C 退火的二硫化鉬奈米碟記憶體元件呈現 2.45 V 記憶窗，約為具有整層二硫化鉬薄膜記憶體元件記憶窗的 1.8 倍，如圖 7(c) 所示。然而，經過 400 °C 退火的二硫化鉬奈米碟記憶體元件卻沒有觀察到任何的遲滯現象，如圖 7(d) 所示，這個結果可以歸因於在退火的過程中，二硫化鉬與金薄膜產生了金硫鍵而破壞了二硫化鉬的特性，導致此記憶體元件沒有記憶特性。

我們進一步在記憶體元件的上電極施加正/負脈衝來對樣品進行寫入 (program) 及抹除 (erase) 的測試，同時探討元件的寫入與抹除速度。所有元件都使用 8 V/-8 V 的寫入電壓/抹除電壓進行操作，並給予從 1 微秒至 1 秒的脈衝寬度 (Pulse width) 進行量測，如圖 8 所示。記憶窗產生的原理為儲存在二硫化鉬奈米碟中的電荷所產生的電壓飄移 (flat-band voltage shift)，可以通過以下公式來進行說明：

$$V_{FB} = \Phi_{ms} - \frac{Q'_{ss}}{C_{acc}}$$

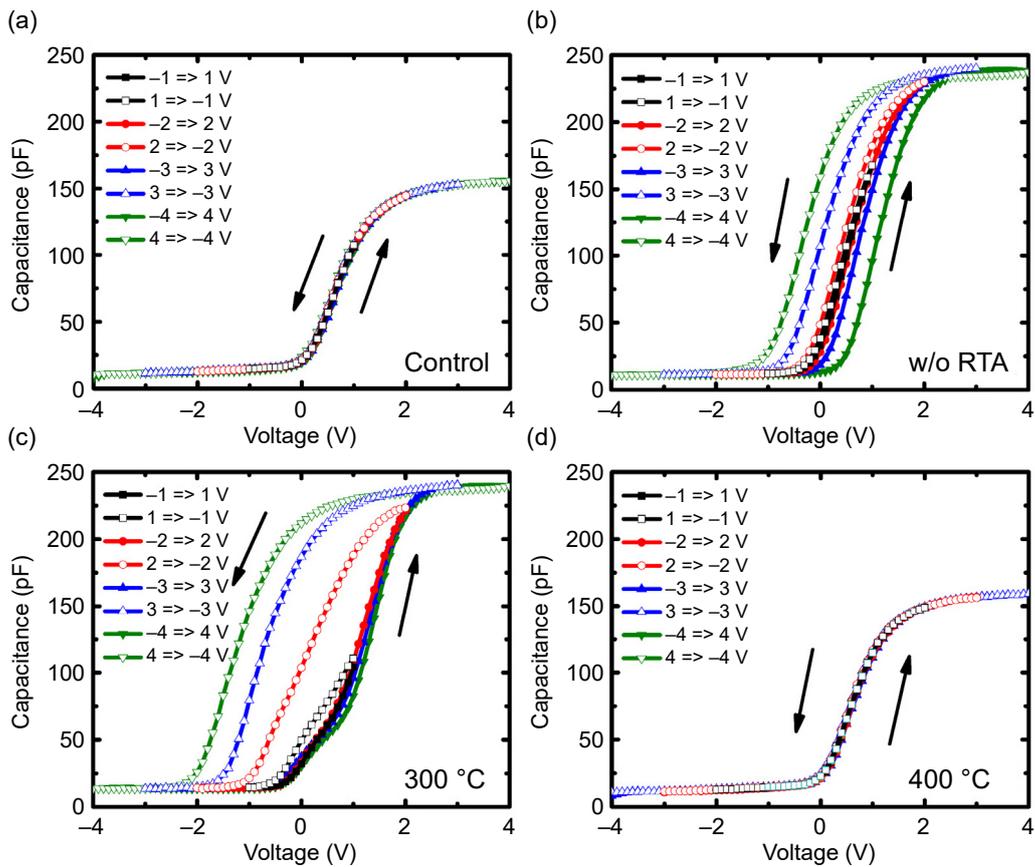


圖 7. (a) 不具有二硫化鉬薄膜的元件 (Control)、(b) 具有整層二硫化鉬薄膜的元件 (w/o RTA)、(c) 經過 300 °C 退火、和 (d) 經過 400 °C 退火的二硫化鉬奈米碟記憶體元件之電容-電壓特性曲線。

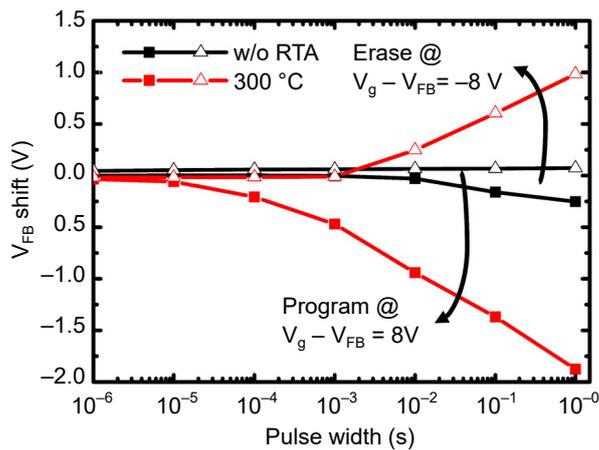


圖 8. 經過 300 °C 退火的二硫化鉬奈米碟記憶體元件之寫入/抹除脈衝寬度對平帶電壓飄移關係圖。

其中 Φ_{ms} 代表金屬與半導體的功函數差， Q'_{ss} 為儲存在二硫化鉬奈米碟中的電荷量，該數值的正負取決於電荷是電子或是電洞，而 C_{acc} 為記憶體元件在累積區的電容值。經由 300 °C 退火的二硫化鉬奈米碟記憶體元件在 1 秒的脈衝寬度下所展現的記憶窗約為 1.8 V，然而，不論是具有整層二硫化鉬薄膜的記憶體元件以及 300 °C 退火的二硫化鉬奈米碟記憶體元件，在寫入的過程中平帶電壓飄移為負值，代表寫入的電荷為電洞，這表示二硫化鉬奈米碟記憶體是由閘極注入電荷，且二硫化鉬具有深的捕捉阱 (trap) 使得元件具有優異的寫入能力⁽²¹⁾，但是此電荷儲存機制使得電洞不容易脫離捕捉阱，導致電荷抹除速度較寫入速度慢。

最後，我們針對 300 °C 退火的二硫化鉬奈米碟記憶體元件進行可靠度測試，考慮到記憶體元件在實際應用上會有頻繁的寫入及抹除過程，因此必須進行操作耐久度 (endurance) 試驗，此種試驗是評估記憶體特性的一項重要指標。我們使用脈衝寬度為 1 秒的 -4 V / +4 V 寫入／抹除電壓進行記憶體元件的耐久度測試，如圖 9 所示，此記憶體元件在初始狀態時具有約 1.1 V 的記憶窗，在經過 40,000 次的操作後發現記憶窗縮小至 0.7 V，而當操作次數提高至 80,000 次時，此記憶體元件仍然可以保有 0.6 V 的記憶窗，這樣的結果顯示使用 300 °C 退火的二硫化鉬奈米碟記憶體元件具有不錯的操作耐久度特性。除了耐久度測試外，記憶體元件的儲存持久度 (retention) 也是判斷記憶特性好壞的指標之一。在進行儲存持久度測試前，我們透過脈衝將電荷寫入記憶體元件中來得到約 0.5 V 的記憶窗，隨後每經過一段時間即對記憶體元件進行讀取量測來確認記憶窗的變化，在經過 10^4 秒的觀察並透過外插法計算出 10 年後的電荷流失約為 14%，如圖 10 所示。此優異的電荷儲存能力可以歸因於二硫化鉬具有深的陷阱以及高品質的穿隧與阻擋氧化層，因此較難形成漏電路徑而降低了電荷損失的機率，根據此可靠度測試的結果可以得知我們所開發出的新型二硫化鉬奈米碟記憶體元件具有優良的記憶能力。

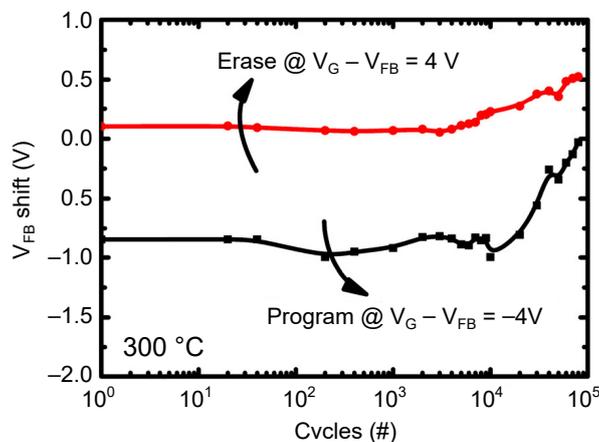


圖 9. 經過 300 °C 退火的二硫化鉬奈米碟記憶體元件之操作耐久度特性圖。

四、結論

本次研究透過使用金薄膜進行退火使其形成自我對準的金奈米晶粒硬遮罩來蝕刻二硫化鉬薄膜以完成二硫化鉬奈米碟記憶體元件的製作。我們發現退火溫度如果在 500 °C 以上，二硫化鉬會與金薄膜產生反應形成金硫鍵而導致二硫化鉬薄膜的嚴重破壞，而退火溫度在 400 °C 以下的樣品則可以在拉曼光譜中觀察到特徵峰值。然而，經過 400 °C 退火的樣品在

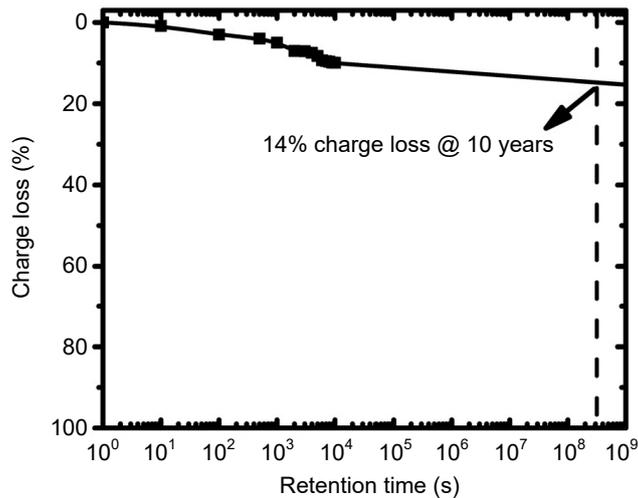


圖 10. 經過 300 °C 退火的二硫化鉬奈米碟記憶體元件的電荷儲存持久度特性圖。透過外插法計算至 10 年後的電荷損失僅約 14%。

電性量測中並沒有出現記憶特性，這代表 400 °C 退火仍然會造成二硫化鉬薄膜的損傷而失去電荷儲存的能力。所幸經過 300 °C 退火的二硫化鉬奈米碟記憶體元件可以得到約 2.45 V 的記憶窗，並且在 0.1 ms 的脈衝寬度下就可觀測到電荷寫入的特性。除此之外，此記憶體元件在可靠度方面也展現出不錯的能力，在超過 8×10^4 次的寫入及抹除操作後仍然保有足夠大的記憶窗，而在經過 10^4 s 的量測後，透過外插法推算至 10 年後僅有 14% 的電荷損失。我們本次的研究成功地開發出使用金奈米晶粒作為硬遮罩的製程技術以及使用二硫化鉬奈米碟作為電荷儲存層的記憶體元件，此二硫化鉬奈米碟記憶體元件具有優異的性能，非常有希望可以應用於下一世代的記憶體元件當中。

參考文獻

1. W. Banerjee, *Electronics*, **9**, 1029 (2020).
2. H. I. Hanafi, S. Tiwari, and I. Khan, *IEEE Trans. Electron Devices*, **43**, 1553 (1996).
3. S. S. Kim, et al., *Adv. Mater.*, 2200659 (2022).
4. P. Pavan, et al., *Proc. IEEE*, **85**, 1248 (1997).
5. M. She, *Semiconductor flash memory scaling.*, University of California, Berkeley, (2003).
6. M. L. French, C.Y. Chen, H. Sathianathan, and M. H. White, *IEEE Trans. Comp., Packag., Manufact. Technol.*, **17**, 390 (1994).
7. R.A. Rao, et al., *Solid-State Electronic.*, **49**, 1727 (2005).
8. S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbé, and K. Chan, *Appl. Phys. Lett.*, **68**, 1377 (1996).
9. J. Y. Tseng, C. W. Cheng, S. Y. Wang, T. B. Wu, K. Y. Hsieh and R. Liu, *Appl. Phys. Lett.*, **85**, 2595 (2004).
10. Y. H. Lin, C. H. Chien, C. T. Lin, C. Y. Chang, and T. F. Lei, *IEEE Electron Devices Lett.* **261**, 54 (2005).
11. Y. Pei, C. Yin, T. Kojima, M. Nishijima, T. Fukushima, and T. Tanaka, *Appl. Phys. Lett.*, **95**, 033118 (2009).
12. D. Akinwande, P. Nicholas, and H. James, *Nat. Commun.*, **5**, 1 (2014).
13. A. J. Hong, et al., *ACS Nano*, **5**, 7812 (2011).
14. B. Radisavljevic et al., *Nat. nanotechnol.*, **6**, 147 (2011).
15. S. Wang, J. Pu, D.S.H. Chan, B.J. Cho, and K.P. Loh, *Appl. Phys. Lett.*, **96**, 143109 (2010).
16. A. Misra, H. Kalita, M. Waikar, A. Gour, M. Bhaisare, M. Khare, and M. Aslam, *4th IEEE International in Memory Workshop (IMW)*, 1 (2012).

17. S. H. Kim, S. G. Yi, M. U. Park, C. Lee, M. Kim, and K. H. Yoo, *ACS Appl. Mater. Interfaces*, **11**, 25306 (2019).
18. J. C. Wang, et al., *Carbon*, **113**, 318 (2017).
19. K. P. Chang, J. C. Wang, H. H. Tai, W. K. Yeh, K. S. Li, and C. S. Lai, *IEEE Trans. Electron Devices*, **66**, 1113 (2019).
20. W. Ju, T. Li, X. Su, H. Li, X. Li, and D. Ma, *Phys. Chem. Chem. Phys.*, **19**, 20735 (2017).
21. Ł. Gelczuk, et al., *Phys. Status Solidi-Rapid Res. Lett.*, **14**, 2000381 (2020).

誌謝

本研究特此致謝國家科學及技術委員會提供研究經費 (106-2221-E-182-059 -MY3)。

作者簡介

戴漢翔先生現為長庚大學電子工程所博士生。

Han-Hsiang Tai is currently a Ph.D. student in the Department of Electronic Engineering at Chang Gung University.

蘇楊淵先生為長庚大學電子工程所碩士，現為永擎電子股份有限公司工程師。

Yang Yuan Su received his M.S. in the Department of Electronic Engineering at Chang Gung University, Taiwan. He is currently an Engineer in ASROCK RACK Co., Ltd., Taiwan.

王哲麒先生為國立陽明交通大學電子所博士，現為長庚大學電子系教授兼任綠色科技研究中心主任。

Jer-Chyi Wang received his Ph.D. in the Institute of Electronics from National Yang Ming Chiao Tung University. He is currently a Professor in the Department of Electronic Engineering and Chairman of the Green Technology Research Center at Chang Gung University.

賴朝松先生為國立陽明交通大學電子所博士，現為長庚大學電子系特聘教授兼任工學院院長。

Chao-Sung Lai received his Ph.D. in the Institute of Electronics from National Yang Ming Chiao Tung University. He is currently a Professor in the Department of Electronic Engineering and Dean of the College of Engineering at Chang Gung University.