

低維度半導體材料之關鍵技術與應用

Key Technologies and Applications of Low-dimensional Semiconductor Materials

張媛婷、蘇清源

Yuan-Ting Chang, Ching-Yuan Su

基於突破性的優異電傳輸特性，低維度奈米材料，包含一維奈米碳管 (carbon nanotube, CNT) 和二維材料 (2D materials) 被評估為未來先進半導體的候選材料。然而，在進入實際的半導體元件整合上仍存在許多瓶頸。這包含晶圓級低缺陷與大面積的定向性合成、可控性組裝等技術仍有待突破。其次，如何與目前矽基半導體製程相容，亦存在許多障礙。本文將介紹低維度材料的合成與組裝之關鍵技術，以及未來元件應用上的獨特優勢。

Based on the excellent electrical transport properties, low-dimensional nanomaterials, including one-dimensional carbon nanotubes (CNTs) and two-dimensional layered materials (2D materials), are evaluated as candidates for future advanced IC processes. However, many bottlenecks still exist in getting into the integration of semiconductor devices. This includes wafer-scaled synthesis with lower defects and controllable assembly technology. Moreover, there is still a big gap in how to be compatible with the current silicon-based semiconductor process. This article will introduce the key technologies for synthesizing and assembling low-dimensional materials and the unique advantages for future device applications.

一、前言

矽基電子元件隨著未來元件的尺寸微縮 (scaling down)，即將逼近其物理極限，而尺寸微縮也帶來新的問題與挑戰 (如短通道效應、穿隧效應、載子遷移率大幅降低或雜訊干擾等)。2019 年 4 月的「超大型積體電路國際研討會」(VLSI-TSA/DAT)，IBM Ghavam Shahidi 提出目前半導體最新製程正面臨功率改善放緩的問題，1965 年被提出的摩爾定律 (Moore's Law)，提到在 CMOS 先進製程上，每個奈米節點演進，都伴隨著電晶體數量增加與對應的性能提升。如此，每個世代都較前一代節能 70% 以上；然而，在 14 奈米以後，功耗改善程度，已明顯的放緩。換句話說，未來對高速運算的晶片需求 (AI、5G 等) 提升下，晶片耗能將逐步提升。而要突破這些在性能和功耗的極限，需要探索新材料和元件架構。

近期，低維度奈米材料，包含一維奈米碳管 (carbon nanotube, CNT) 和二維材料 (2D materials) 被評估為未來先進製程的候選材料。其中 2D 材料 (如 MoS_2 、 WS_2 、 MoSe_2 、 WSe_2 等)，具備原子層的厚度，近年來於元件通道的應用上獲得很大的關注。特別是當通道厚度降低至 3 nm 以下，矽基材料的載子遷移率 (mobility) 大幅下降，然而 2D 材料仍可有效的傳輸⁽¹⁾。此外，2D 材料的多樣化堆疊，也產生了新的物理現象和突破性的優異電傳輸特性^(2,3)。另一方面，1D 的 CNT 具有彈道傳輸特性 (electron transport is ballistic)，應用於半導體 CNT 作為電晶體通道 (如圖 1)，展現了高的 mobility 和極小化之短通道效應⁽²⁾，近期的研究已經顯示在 5 nm 閘極長度的 CNT 電晶體，於功耗和效能上都優於 Si CMOS，特別是過去十年來，發展高純度且均一性之半導體性 CNT 的技術獲得很大進展，已經能看到其在實際元件整合和應用的可行性⁽³⁾。此外，未來的元件於 3 nm 以下將進入環繞閘極的電晶體 (gate-all-around, GAA)，對於 1D CNT 半導體通道來說成為理想的材料選擇。

然而，雖然上述的低維度材料具備適當的能隙、高載子遷移率與導通電流、低功耗、材料穩性等優異的特性，但在進入實際的半導體元件整合上仍存在許多瓶頸。首先，就材料的合成品質而言，2D 材料過去藉由化學氣相沉積法 (chemical vapor deposition, CVD) 的方式進行合成，仍存在高缺陷，且晶圓級的高單晶 2D 材料生長技術目前仍難以克服；而 CNT 的部分，大面積的定向性、可控性組裝排列技術仍有待突破。其次，在元件製程整合的方面，也存在許多關鍵技術需要克服，包含缺陷檢測技術、金屬接觸阻抗、介面材料 (Low-K/High-K) 於元件傳輸特性之影響，特別是這些低維度材料的合成、圖案化等步驟如何與目前矽基半導體製程相容，仍存在很大的落差。這反映在後段的低溫製程 (back-end-of-line, BEOL)，其製程溫度需低於 450 度，而 2D 材料的典型合成溫度 (> 500 °C) 皆高於此限制，也因此大幅限制低維度材料的實用性與整合性。此外，這些 1D 與 2D 通道的尺寸微縮如何影響電子傳導，以及與其接觸的界面和晶格缺陷如何影響電荷傳輸，目前仍有許多的物理模型尚未建立，對於未來的元件尺寸設計和可容忍之缺陷密度的評估，需要由更多理論計算的模型來支持。最後，目前在 1D/2D 材料大多停留在平面型 FET 或鰭式電晶體 (Fin-FET) 的驗證，而次世代的元件需要有更好的閘極可控性 (gate modulation)，因此新型元件架構如環繞閘極的電晶體 (gate-all-around, GAA) 將是理想的選擇，低維材料目前在特性驗證上趨於成熟，但仍有許多關鍵需要克服，下述將針對低維材料的發展與獨特性的應用進行說明。

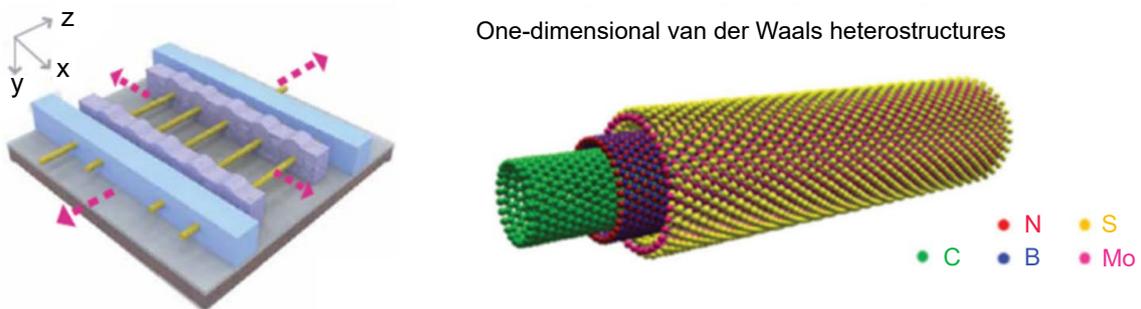


圖 1. 1D 半導體 CNT 通道整合於 GAA-FET 元件架構。Adapted with permission from^(2,3)
Copyright 2020 The American Association for the Advancement of Science.

二、低維半導體材料的合成與組裝

1. 一維奈米碳管的製備與可控性組裝

1D 奈米碳管電晶體，早期就被深入的研究並展現出優異的性質 (彈道傳輸與極佳的靜電調制特性)，特別是相較於目前 CVD 合成的 2D 半導體材料 (MoS_2 、 WSe_2 、 MoSe_2 等) 受限於其低的本質 mobility ($100-200 \text{ cm}^2/\text{V.s}$)，CNT 可於尺寸微縮過程維持高 mobility 的傳輸 ($79,000 \text{ cm}^2/\text{V.s}$)⁽⁴⁾，此外優異的化學和環境穩定性，也是易於進行後段各項元件所需之製程，IBM 的 Phaedon Avouris、史丹福 Philip Wong 團隊在 CNT 電傳輸特性與積體化的元件驗證上，已經有豐富的成果，並展現其在 5 奈米以下，相同的閘極長度下，展現了優於矽基的 FET 元件特性^(5, 6)。但單根的 CNT-FET 並無法實現在次世代節點的積體電路上，這是由於受限於低的電流，因此目前的研究已經轉向使用高密度準直排列 (multiple semiconducting CNT arrays) 來提高元件的驅動能力 (driving ability)。但這個過程後續在實際進入元件製程上面也遭遇了很大的瓶頸，包含高純度單壁且半導體性 CNT 的製備不易，如果通道元件存有不耐的金屬性 CNT 將會大幅劣化電晶體元件的傳輸特性，包含低的開關比 (on-off ratio) 和驅動電流 (driving current)，這使其無法直接應用於高效能的整合型電路；此外，在幾何的排列上，經過模型運算，一個 CNT arrays FET，優化的傳輸特性需半導體性 CNT 純度須達 $> 99.9999\%$ ，CNT 的直徑約 1.5 nm，而陣列密度達 $100-200 \text{ CNTs}/\mu\text{m}$ ，即 CNT 陣列的間距為 5–10 nm (當間距小於 2 nm 將因相互的靜電作用而影響 on-off switching) (如下圖 2(a)-(b))，如此的材料與組裝條件方能具有理想的電晶體特性^(7, 8)。此外，有關在準直 CNT 的可控排列與空間定位上，2020 年 Sun 等人利用 DNA 分子包覆高半導性 CNT⁽⁹⁾，使其因 DNA 交聯機制，排列於 CNT 於預先定義且修飾了互補 DNA 的溝槽的模板，藉由這個方法可以更精確的控制 CNT 陣列的間隙 (10 nm，準直角度小於 2 度) (如下圖 2(c))，這進一步的提升 CNT 可控性排列的技術進展。近年來也有團隊發現 CNT 對於合成 2D 材料提供一種優異的成核控制，2019 年 Liu 等人發現利用 CNT 進行後續的 CVD MoS_2 的合成⁽¹⁰⁾，可以使初始的成核點發生在 CNT 壁上 (下圖 2(d))，雖然這個研究最終無法真實的控制每個單晶 MoS_2 晶域的位向 (aligned orientation)，但是已經給予了新的研究啟發，是否能藉由進一步的 CNT 改質而達到晶域的空間和位向的可控性？這對於目前研究 2D 多僅追求大面積單晶來說，可控區域單晶對於元件的製做也許反而更為實際；此外，這個研究也演示 MoS_2/CNT 異質堆疊的了光響應電特性 (如圖 2(e))，顯示了 MoS_2/CNT 介面存在著極佳的電荷轉移效率 (charge transfer efficiency) 而大幅的提升了光響應值，特別是其基礎的傳輸特性顯示原本本質上為 n-type 的 MoS_2 與 p-type 的 CNT，其最 1D/2D 複合的電傳輸特性仍維持為 n-type，這顯示了 CNT 對於 MoS_2 造成的些微電荷摻雜 (charge doping)，而最終的特性仍是 MoS_2 所主導。

綜觀上述，1D 的半導體 CNT 在基礎傳輸與元件上展現了優異特性，甚至優於目前人工合成的二維半導體 (如 mobility 和材料穩定性)。然而，在整合實際的積體電路上仍存有一些關鍵的問題要克服，如 (1) 缺乏製程相容的組裝 CNT 技術，上述的 CNT 包覆分子或是 DNA 交聯定位都是很好的策略，但是在強調 CNT 準直陣列的間隙控制上仍依賴模板輔助製程，大幅增加元件製做困難度。(2) 此外，目前在 CNT-FET 的開路表現 (on-state performance) 和 gate modulation，甚至是次臨界擺幅 (subthreshold swing, SS) 都還有提升的空間，這與異質接面的材料如介電層或金屬選擇有關，說明在介面的材料匹配有關鍵的影響。(2) 未來走向三維堆疊 IC，之後的元件也朝著 GAA 或是多通道堆疊奈米片電晶體 (stacked nanosheet FET) 架構，然而目前的 CNT 元件多為單層準直陣列，多層對準的 CNT 才能有機會走向多通道的

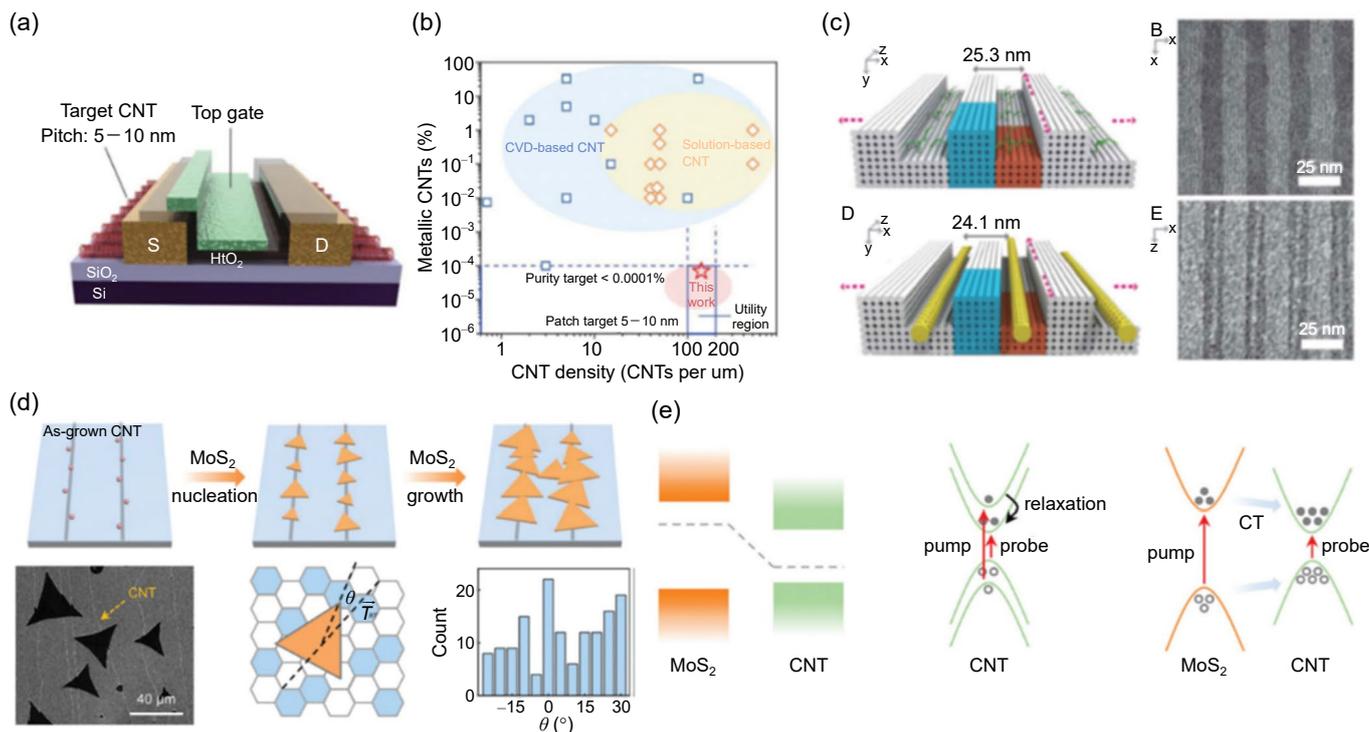


圖 2. (a) 典型的上閘極式 CNT-arrays FET 架構與。 (b) 與理想的 CNT 排列條件為低金屬性比例與高的陣列密度。 Adapted with permission from⁽⁷⁾ Copyright 2020 The American Association for the Advancement of Science。 (c) 利用模板溝槽結構與 DNA 分子交聯達成 CNT 可控性定位。 Adapted with permission from⁽⁹⁾ Copyright 2020 The American Association for the Advancement of Science。 (d) 利用 CNT 輔助單晶 MoS₂ 晶域的區域可控性合成。 (e) CNT/MoS₂ 的界面存在高效率的電荷轉移特性。 Reproduced from⁽¹⁰⁾ with permission from the Royal Society of Chemistry.

元件，然而這樣的堆疊方法仍未見。(3) 過去文獻鮮少針對 1D/2D 材料的複合作為半導體通道的研究，且也未有 CNT 輔助 2D 單晶晶域 (single crystal domain) 位向可控性的研究，這部分是非常有趣且值得探索的部分，也許能有別於現有 2D 合成技術一味追求大面積單晶的發展路徑。

2. 二維半導體材料的合成關鍵：

CVD 為合成大面積二維材料主流之技術方法，然而成長過程中形成之缺陷皆降低後續元件之電傳輸性質。成長異向性之單晶二維材料於接合過程中會有晶界的產生，致使最後連續膜為多晶結構。Wang 團隊⁽¹¹⁾ 使用 C 向 A 軸斜切之 2 吋藍寶石基板 (C/A sapphire) 實現大面積單晶二維材料成長，MoS₂ 晶粒於成核、成長階段會沿著基板較低位能的階梯處進行，研究中亦針對成長完之 MoS₂ 進行 160 個元件製作，元件良率 > 94%，於元件電性測試上，mobility 達 102.6 cm²/Vs，飽和電流 (saturation current) 450 μA/μm，已達最佳之 MoS₂。

除晶界之缺陷外，點缺陷亦為 CVD 成長過程中常見之缺陷類型，其包含氧置換硫、金屬置換硫或硫空缺等缺陷類型，香港大學李連忠教授團隊⁽¹²⁾ 於 CVD 製程中添加水蒸氣，以進行低缺陷之 WS₂ 生長，依據計算，水氣加入所形成之 W-OH 鍵結能 (0.936 eV) 低於

傳統使用 WO_3 前驅物所形成之 W-O 鍵結能 (1.440 eV)，說明水氣加入所形成之 W-OH 鍵可有效的促進斷鍵，進而促使硫化反應的進行。以掃描穿隧式顯微鏡 (scanning tunneling microscopy, STM) 進行缺陷密度的量測，比較水輔助成長 (OHVPD) 及一般成長製程 (CVD) (如圖 3(a))，OHVPD 方法的與 CVD 方法之缺陷密度相差近 $4 \times 10^{12} \text{ cm}^{-2}$ 。而於元件電性分析上 (如圖 3(b)-(c))，mobility 於室溫下達 $\sim 200 \text{ cm}^2/\text{Vs}$ ，此電性表現並可與機械撕離法相比，並具備高的開路電流 (on-state current) $\sim 400 \mu\text{A}/\mu\text{m}$ 。此研究也展示前驅促進物對於低溫合成或是低缺陷單晶，提供理想高品質的合成策略

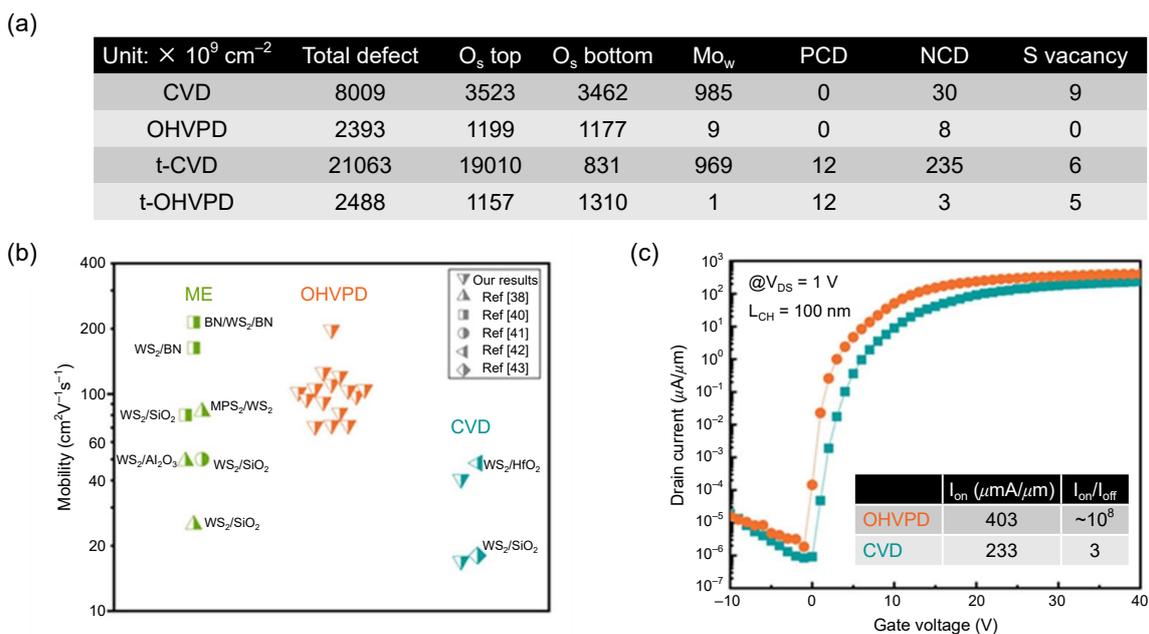


圖 3. 水輔助 WS_2 成長於 (a) 降低缺陷密度、(b) 提升 mobility 及 (c) 元件特性量測。Adapted with permission from⁽¹²⁾ Copyright 2022 Springer Nature.

三、低維材料的元件應用

1. 奈米碳管的電晶體元件應用

2020 年，Liu 等人利用 PCz 分子包覆懸浮 CNTs 溶液⁽⁷⁾，可篩選出高達 99.9999% 的半導體性 CNTs，接著利用 Langmuir-Blodgett (LB) 成膜機制於將準直排列的 CNT arrays 轉移至 4 吋矽晶圓 (如圖 4(a)-(b))，獲得高的準直角度分布 (小於 9°)，其上閘極 FET 展現高達 $1.3 \text{ mA}/\mu\text{m}$ 的 on-state current，並獲得目前的電導率之紀錄值 ($\text{mS}/\mu\text{m}$ @1 V) 與室溫下低的次臨界擺幅 ($\text{SS} < 90 \text{ mV}/\text{dec}$) (如圖 4(c))。此外，也實現一個多級環形震盪元件並展現大於 8 GHz 的震盪頻 (下圖 4(d))。

此外，在 CNT 的新元件架構上，IBM 早期發表 CNT 環繞閘極的概念⁽¹³⁾，其藉由閘極金屬 TaN 與介電層 ($\text{AlO}_x\text{N}_y/\text{Al}_2\text{O}_3$ 與 $\text{AlO}_x\text{N}_y/\text{HfO}_2$) 分別可獲得 p-/n-FETs 的特性 (如圖 5(a)-(b))，獲得在 20 nm 閘極長度下，on/off ratio $> 10^4$ 與 SS 小於 99 mV/decade。如果能進一步的避免介電層對於 CNT 的 doping effect 將可突破並使 SS 接近其理論極限 (60 mV/dec)。

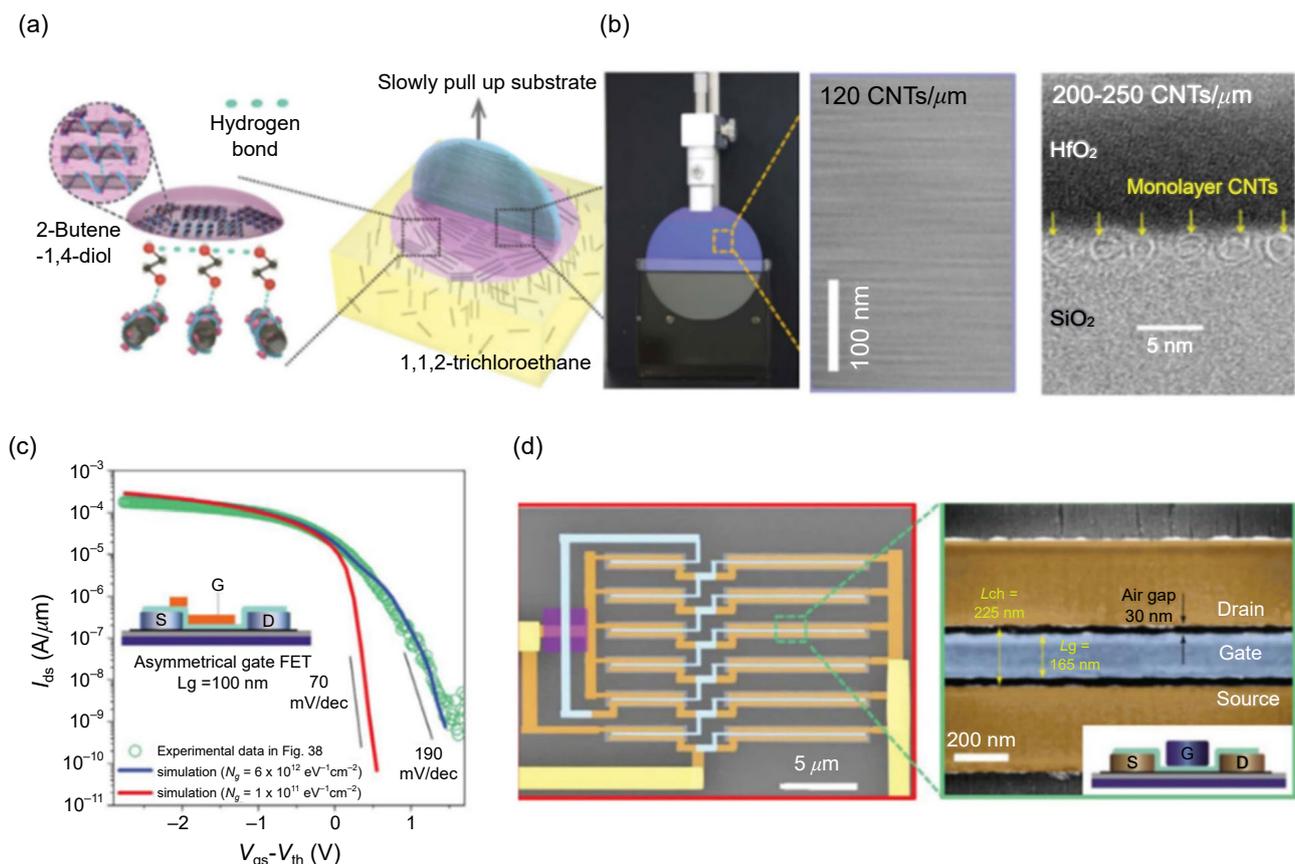


圖 4. (a) 利用 LB 成膜技術，獲得 (b) 高密度晶圓級 CNT 的高準直排列。(c) 單一元件的傳輸特性曲線。(d) CNT 電晶體所製作多級環形震盪器電路。Adapted with permission from ⁽⁷⁾ Copyright 2020 The American Association for the Advancement of Science。

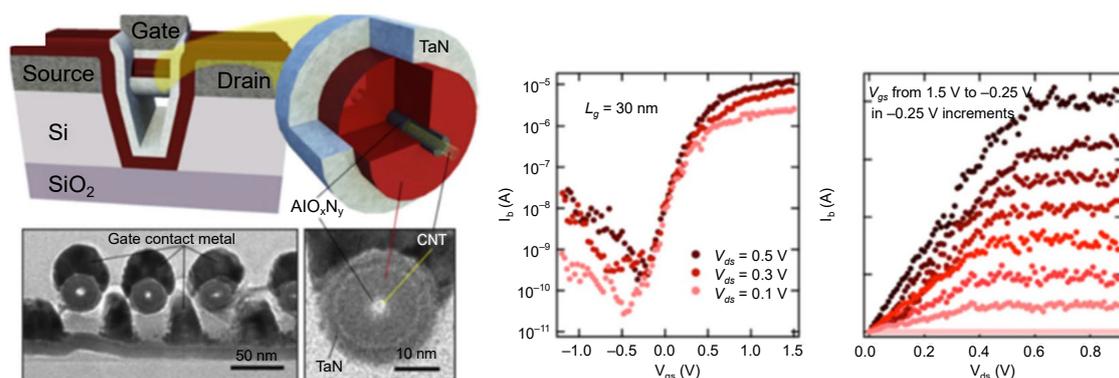


圖 5. (a) CNT 環繞閘極電晶體 (CNT-based GAA-FET) 的製程結構與元件特性。(b) 利用 CNT 輔助單晶 MoS₂ 晶域的區域可控性合成。Adapted with permission from ⁽¹³⁾ Copyright 2013 American Chemical Society。

2. 石墨烯於 BEOL 金屬內連線的整合

在半導體後段製程，內連線的金屬襯底需要極薄且高擴散阻障層材料，抑制銅離子的擴散所導致元件可靠度劣化。特別是隨著尺寸微縮過程，在高電場和操作溫度環境下，阻障

材料於元件運作效能更是關鍵。現有技術以 TaN 為習用的內連線阻障材料，但當 Cu 線寬微縮至 $< 20 \text{ nm}$ ，可允許的 TaN 厚度僅 $< 3 \text{ nm}$ ，這造成均勻批覆的製程難度和元件失效風險提高；而 TaN 電阻值 ($290 \mu\Omega\cdot\text{cm}$) 也遠高於 Cu ($\sim 1.67 \mu\Omega\cdot\text{cm}$)，未來需要更薄更導電的材料。近期有許多研究使用不同石墨烯作為阻障層，主要利用石墨烯基面對於原子和金屬離子的阻絕性，此外，高導電的特性與化學穩定性；特別是 CVD 石墨烯 (graphene) 常用於成長於 Cu 基材表面，這使銅避免氧化，因此平整化 Cu 表面，並藉由高結晶 CVD graphene 批覆，抑制電荷傳輸在 Cu 表面散射而大幅降低阻抗⁽¹⁴⁾，也被報導能更良好的抑制高電場下對銅原子的電致遷移 (electromigration)⁽¹⁵⁾，也因此是理想的阻障層材料。Hong 等人研究單層與多層 CVD graphene 於 Cu/Si 介面的阻障層⁽¹⁶⁾，並於元件實際操作環境的電場和熱應力(thermal stress ($225 \text{ }^\circ\text{C}$ under a positive bias 3 MV cm^{-1})下阻障效能，顯示 graphene 於 $> 700 \text{ }^\circ\text{C}$ 仍具有良好的抑制擴散，而大晶粒 (large grain graphene) 又比小晶粒 (small grain) 有更優異效果。史丹福大學黃漢森教授帶領的團隊用 Ni 合成多層可控石墨烯並轉印於基板上⁽¹⁷⁾，厚度 1–3 層 ($0.35\text{--}1.41 \text{ nm}$) graphene 比工業用的標準 TaN ($2\text{--}4 \text{ nm}$) 具有更優異的阻障效能，同樣的 large grain ($10\text{--}15 \mu\text{m}$) 單層石墨烯 (SLG) 比 small grain ($2\text{--}3 \mu\text{m}$) 有兩個數量級的提升 (圖 6)。

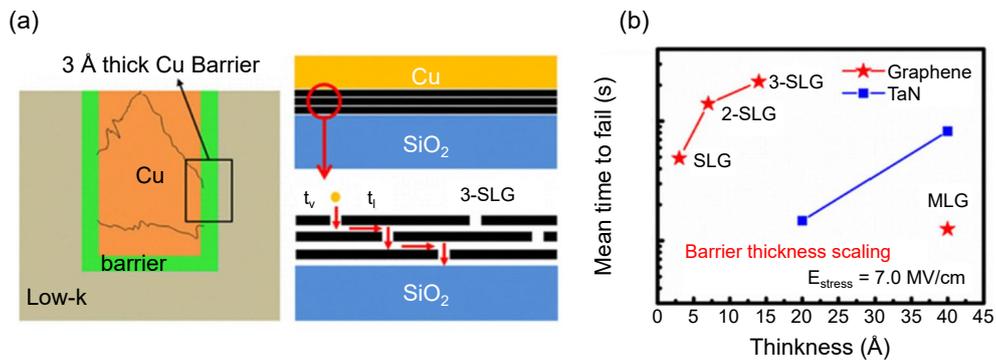


圖 6. 二維材料於 BEOL 的效能提升：(a) 石墨烯於 Cu 內連線之擴散阻障層的可靠度提升以及 (b) 少層 graphene 於 2 nm 厚度下仍展現優於 TaN 的阻障能力。
Adapted with permission from⁽¹⁷⁾ Copyright 2015 American Chemical Society。

評述過去已發展的技術，預期結合 low-K 和此擴散阻障，可以發揮並獲得理想的內連線的傳輸效能與高穩定性。無論是單層或是多層 graphene，石墨烯晶粒尺寸大幅影響著 Cu 原子的擴散阻抗，也印證了 Cu ion 的擴散路徑會沿著缺陷態，特別是沿晶界 (grain-boundary) 往下遷移，進而使元件失效。此外，上述的研究都是基於轉印於平面基材上進行，實際的元件在內連線 (interconnect) 的結構中，需要覆蓋於具深寬比深孔或溝渠邊壁，目前的轉印製程因此受限。此外，多層 graphene 的厚度控制會受限於尺寸微縮，而晶粒尺寸 (grain size) 和晶界 (boundary) 的存在，在單層 graphene 也難以完全避除，如何達到臨場合成於不規則結構與非晶之材料上且須低溫 (考量 BEOL 製程)，且維持 $< 3\text{-layer barrier layer}$ ，並能在實際電場驅使的實際元件運作下，有效阻絕或捕捉 Cu 離子擴散，仍是一個挑戰。

此外，BEOL 金屬內連線的整合的另一個關鍵為介電材料，金屬內連線可選擇 Low-K 介電材料而改善寄生電容 (RC Delay) 的問題，提升傳導速度。過去常用的材料如 SiO_2 ($\kappa = 4$)

或 incorporating fluorine ($\kappa = 3.7$ for SiOF) or CH_3 ($\kappa = 2.8$ for SiCOH) 或是結構中 introducing porosity (porous SiCOH or pSiCOH, $\kappa = 2.4$)⁽¹⁸⁾。International Roadmap for Devices and Systems (IRDS) 的技術藍圖在 2028 急需發展 ultralow- κ dielectrics (κ values less than 2)。2020 年 Hong 等人利用 ICP-CVD 以 borazine 為前驅物⁽¹⁹⁾，於 Si 基板上直接合成非晶 BN (a-BN)，展示超低 Low-K 值 1.78 (100 kHz) and 1.16 (1 MHz)，薄膜維持良好的機械強度與高電崩潰電場 (7.3 MV/cm)。2019 年美國高通發表一專利 (公開號 US 2019/0221645 A1)⁽²⁰⁾，提到利用氟化石墨烯橫向堆疊 Low-K 的氟化高分子，達到低於 1.6 的值。2014 年本人的研究團隊也發表以 CVD graphene 進行氟化⁽²¹⁾，其 MIM 結構所量測的 K 值為 1.2，顯示碳氟結構也是深具潛力的 Low K 材料。然而，目前這些文獻仍未直接整合於元件製作，新材料的驗證也還在探索中 (機械強度、電性可靠度等)。

四、結論

低維度材料所具備之獨特光電性質已被大量研究，有望突破現有矽基半導體材料於尺寸維縮過程中所遭遇之瓶頸限制。然而，於未來發展中尚面臨到包含：二維材料大面積合成的可控性以及如何與現有半導體製程相容等問題，目前也陸續有研究針對此些問題提出解決。本文作者認為，在 CNT 的特定物種可控合成和高良率的精確組裝與定位技術仍是未來發展方向；而 2D 材料的低缺陷與單晶合成和大面積低損轉印製程技術將是提供取代前段電晶體通道材料的關鍵。此外，有別於追求單晶合成，另一個路徑是發展相容於後段製程的低溫且可控區域單晶的技術，這種方式無須轉印製程，得以走向多樣性的異質元件整合。整體而言，合成技術以及元件製程整合的突破，皆為低維材料作為下世代半導體發展的基石並帶來更廣泛的應用契機。

參考文獻

1. Akinwande, D., C. Huyghebaert, C.H. Wang, M.I. Serna, S. Goossens, L.J. Li, H.P. Wong, and F.H.L. Koppens, *Nature*, **573** (7775), 507 (2019).
2. Zhao, M., Y. Chen, K. Wang, Z. Zhang, J.K. Streit, J.A. Fagan, J. Tang, M. Zheng, C. Yang, Z. Zhu, and W. Sun, *Science*, **368** (6493), 878 (2020).
3. Xiang, R., T. Inoue, Y. Zheng, A. Kumamoto, Y. Qian, Y. Sato, M. Liu, D. Tang, D. Gokhale, J. Guo, K. Hisama, S. Yotsumoto, T. Ogamoto, H. Arai, Y. Kobayashi, H. Zhang, B. Hou, A. Anisimov, M. Maruyama, Y. Miyata, S. Okada, S. Chiashi, Y. Li, J. Kong, E.I. Kauppinen, Y. Ikuhara, K. Suenaga, and S. Maruyama, *Science*, **367** (6477), 537 (2020).
4. Durkop, T., S.A. Getty, E. Cobas, and M.S. Fuhrer, *Nano Letters*, **4** (1), 35 (2003).
5. Oka, T. and T. Nozawa, *IEEE Electron Device Letters*, **29** (7), 668 (2008).
6. Qiu, C., Z. Zhang, M. Xiao, Y. Yang, D. Zhong, and L.M. Peng, *Science*, **355** (6322), 271 (2017).
7. Liu, L., J. Han, L. Xu, J. Zhou, C. Zhao, S. Ding, H. Shi, M. Xiao, L. Ding, Z. Ma, C. Jin, Z. Zhang, and L.M. Peng, *Science*, **368** (6493), 850 (2020).
8. Franklin, A.D., *Nature*, **498** (7455), 443 (2013).
9. Sun, W., J. Shen, Z. Zhao, N. Arellano, C. Rettner, J.S. Tang, T.Y. Cao, Z.Y. Zhou, T. Ta, J.K. Streit, J.A. Fagan, T. Schaus, M. Zheng, S.J. Han, W.M. Shih, H.T. Maune, and P. Yin, *Science*, **368** (6493), 874 (2020).
10. Liu, C., H. Hong, Q. Wang, P. Liu, Y. Zuo, J. Liang, Y. Cheng, X. Zhou, J. Wang, Y. Zhao, J. Xiong, B. Xiang, J. Zhang, and K. Liu, *Nanoscale*, **11** (37), 17195 (2019).
11. Li, T., W. Guo, L. Ma, W. Li, Z. Yu, Z. Han, S. Gao, L. Liu, D. Fan, Z. Wang, Y. Yang, W. Lin, Z. Luo, X. Chen, N. Dai, X. Tu, D. Pan, Y. Yao, P. Wang, Y. Nie, J. Wang, Y. Shi, and X. Wang, *Nat Nanotechnol*, **16** (11), 1201 (2021).

12. Wan, Y., E. Li, Z. Yu, J.K. Huang, M.Y. Li, A.S. Chou, Y.T. Lee, C.J. Lee, H.C. Hsu, Q. Zhan, A. Aljarb, J.H. Fu, S.P. Chiu, X. Wang, J.J. Lin, Y.P. Chiu, W.H. Chang, H. Wang, Y. Shi, N. Lin, Y. Cheng, V. Tung, and L.J. Li, *Nat Commun*, **13** (1), 4149 (2022).
13. Franklin, A.D., S.O. Koswatta, D.B. Farmer, J.T. Smith, L. Gignac, C.M. Breslin, S.J. Han, G.S. Tulevski, H. Miyazoe, W. Haensch, and J. Tersoff, *Nano Lett*, **13** (6), 2490 (2013).
14. Mehta, R., S. Chugh, and Z. Chen, *Nano Lett*, **15** (3), 2024 (2015).
15. Li, L., Z. Zhu, T. Wang, J.A. Currivan-Incorvia, A. Yoon, and H.-S.P. Wong., “BEOL compatible graphene/Cu with improved electromigration lifetime for future interconnects”, *2016 IEEE International Electron Devices Meeting*, Dec. 3-7, (2016).
16. Hong, J., S. Lee, S. Lee, H. Han, C. Mahata, H.W. Yeon, B. Koo, S.I. Kim, T. Nam, K. Byun, B.W. Min, Y.W. Kim, H. Kim, Y.C. Joo, and T. Lee, *Nanoscale*, **6** (13), 7503 (2014).
17. Li, L., X.Y. Chen, C.H. Wang, J. Cao, S. Lee, A. Tang, C. Ahn, S.S. Roy, M.S. Arnold, and H.S.P. Wong, *Acs Nano*, **9** (8), 8361 (2015).
18. Grill, A., *Journal of Vacuum Science & Technology B*, **34** (2), 020801 (2016).
19. Hong, S., C.S. Lee, M.H. Lee, Y. Lee, K.Y. Ma, G. Kim, S.I. Yoon, K. Ihm, K.J. Kim, T.J. Shin, S.W. Kim, E.C. Jeon, H. Jeon, J.Y. Kim, H.I. Lee, Z. Lee, A. Antidormi, S. Roche, M. Chhowalla, H.J. Shin, and H.S. Shin, *Nature*, **582** (7813), 511 (2020).
20. Yue, Y.L.J.B.B.Y.L.G.Y., *Transistor with fluorinated graphene spacer*, (2019).
21. Ho, K.I., C.H. Huang, J.H. Liao, W.J. Zhang, L.J. Li, C.S. Lai, and C.Y. Su, *Scientific Reports*, **4** (1), 1 (2014).

作者簡介

張媛婷小姐現為國立中央大學機械工程系博士生。

Yuan-Ting Chang is currently a Ph.D. student in the Department of Mechanical Engineering at National Central University.

蘇清源先生為國立清華大學工程與系統科學系博士，現為國立中央大學機械系與能源所教授。

Ching-Yuan Su received his Ph.D. in Engineering and System Science from National Tsing Hua University. He is currently a Professor in the Department of Mechanical Engineering and Department of Energy Engineering at National Central University.