

磁性多層膜元件製程研究與應用

Fabrication Process and Application of Magnetic Multilayered Devices

賴國豪、韓鴻騏、吳仲卿

Guo-Hau Lai, Hung-Chi Han, Jong-Ching Wu

在日新月異的時代發展中，提高電子產品靈敏度、多功能性與縮小產品尺寸的驅動下，「微小化」製程已是自上世紀末以來在科技發展中的一項重要研究領域。尤其在應用的材料方面上，已不可避免的從三維塊材推展至二維薄膜，甚至縮小至一維尺度的奈米元件。其中由於近二十年來資訊科技的爆炸性發展，磁性材料的物理性質研究及其奈米結構化製程具有空前的發展盛況。因此，本文以磁性多層膜之元件製程研究與應用為主軸，除了帶入磁阻元件的發展，並介紹磁性元件製程技術以及磁阻材料之應用。

In the advanced development of modern technology and driven by improving the sensitivity, versatility and reducing the size of electronic products, process of miniaturization has become one of the most important research since the late last century. From the viewpoint of materials science development, the trend has inevitably moved from three-dimensional bulk to two-dimensional thin film regime, and furthermore moved into one-dimensional nano-devices. Among the most attractive materials research the fundamental physics and nanostructured techniques of magnetic material has emerged at the forefront of global research community due to the rapid development of information science and technology in the last two decades or so. Herein, the advancement of magnetic multilayers is introduced, especially the fabrication process and applications of magnetoresistive devices are focused.

一、磁阻元件發展

威廉·湯姆森 (William Thomson) 於 1857 年在研究鎳 (Ni) 及鐵 (Fe) 於外加磁場作用下的電傳輸行為時，首次發現了磁電阻效應⁽¹⁾ (magnetoresistance effect, MR)；該效應是指材料的電阻會隨著外加磁場的變化而改變其電阻值，簡稱為磁阻。磁阻的基本物理機制，主要來自導電子和局部化之 d、f 軌道電子磁矩間的交換作用有關。因此，透過磁阻效應可以將磁阻元件應用在磁

場 (磁通量) 感測技術上，也由於磁阻元件對磁場的高敏感性、機械應力的低敏感性，及其感測之磁訊號可以轉換為電訊號輸出，容易和其它電子產品整合在一起，所以近二十年來受到廣泛的應用，例如，應用在磁記錄系統中的讀取頭、磁記錄媒介與磁性記憶體。近年來，更因為多樣式的磁場感測器的研發進展，使得其應用更多元，例如用於定向系統、導航系統、電力傳感器及汽車引擎等多項用途。基本上，因為磁性材料及磁阻變化率的不同而有各式的分類與應用，以下就針對常磁阻效

應 (ordinary magnetoresistance, OMR)、異向性磁阻效應 (anisotropy magnetoresistance, AMR)、巨磁阻效應 (giant magnetoresistance, GMR) 及穿隧式磁阻效應 (tunneling magnetoresistance, TMR) 作基本介紹：

1. 常磁阻

常磁阻為最基本的磁阻效應，對所有非磁性金屬而言，傳導電子在外加磁場作用下，因為受到勞倫茲作用力(Lorentz force)的影響，使得電子的行進方向會產生偏折，因此電子的行進路徑增長，導致電子散射機率上升，由此增加材料的電阻。常磁阻的電阻會隨著外加磁場增加而上升，此為正磁阻效應。其效應相當小，磁阻變化率僅約 $10^{-3} - 10^{-6}\%$ (2-3)，因此比較不具實際應用性。

2. 異向性磁阻

鐵磁材料之異向性磁阻效應於 1857 年由威廉·湯姆森所發現⁽¹⁾，此效應與電流及磁化強度 (Magnetization, M) 的相對方向有關。基於電子自旋與軌道角動量耦合 (spin-orbital coupling) 效應，當電流方向平行於外加磁場時，磁阻變化率為正，即磁阻隨磁場增加而變大；當電流方向垂直於外加磁場時，磁阻變化率為負，即磁阻隨磁場增加而減

小。異向性磁阻材料主要以含有 Fe、Co、Ni 等金屬合金為主，其中以 Ni-Fe 合金為主流，其磁阻變化率約莫 2%，目前主要應用於微弱磁場感測，例如感測地磁，以便應用於定向系統；而且在多層膜巨磁阻效應發現之前，異向性磁阻元件也曾大量用於作為磁紀錄媒介的讀取頭。

3. 巨磁阻

巨磁阻效應於 1988 年由法—國科學家阿爾伯特·費爾特 (Albert Fert) 和德國科學家彼得·格林伯格 (Peter Grünberg) 等人發現，透過鐵鉻 [Fe/Cr] 所組成的金屬多層薄膜系統，在外加磁場的變化下會改變其磁阻。由於反鐵磁性耦合效應，在零場時相鄰之 Fe 層磁矩反向，電阻最大；在飽合磁場時相鄰之 Fe 層磁矩同向，電阻最小；在低溫時其磁阻變化率約為 50%，而在室溫下，則其磁阻變化率也還可以高到約為 17%，如圖 1(a) 所示。其磁阻變化率遠大於早期發現的異向性磁阻效應，故稱之為巨磁阻效應⁽⁴⁻⁵⁾，而且巨磁阻效應與異相性磁阻效應不同的是，它的磁阻變化與外加磁場和電流的相對方向無關。然而金屬多層膜 (Multilayer) 結構需要較大的外加磁場來克服兩鐵磁層間的耦合效應，以改變其磁阻的高低阻態行為，故降低其應用價值。直到 1991 年 Dieny 等人提

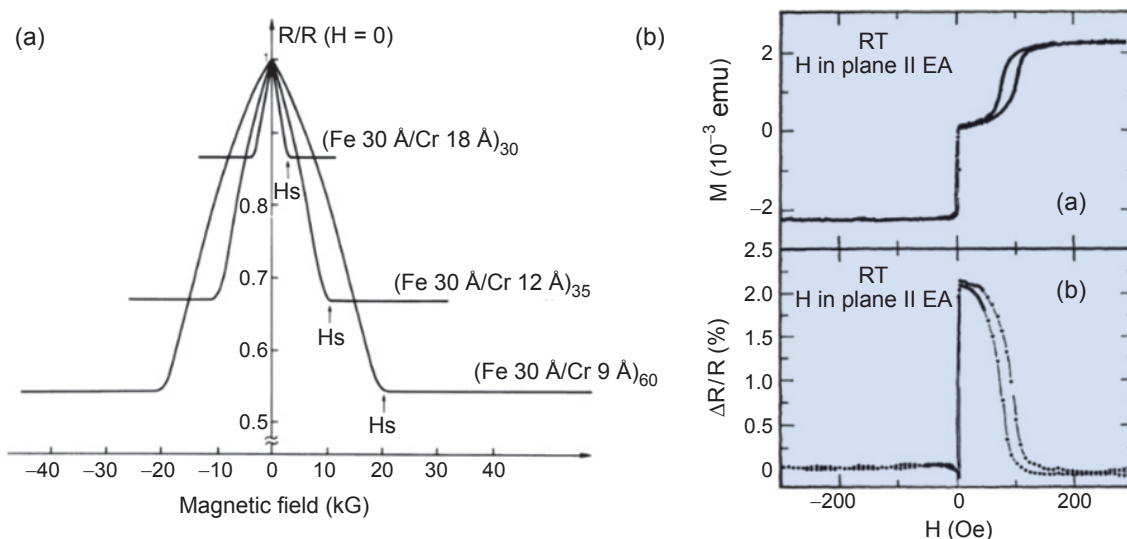


圖 1. (a) [Fe/Cr] 所組成的多層薄膜巨磁阻效應⁽⁴⁾。(b) 自旋閥多層膜之巨磁阻效應，上圖為磁特性曲線，下圖為磁阻特性曲線⁽⁶⁾。

出「鐵磁性層 (Ferromagnetic layer, 也稱為感測層 sensing layer, 或自由層 free layer) / 非磁金屬層 / 鐵磁性層 (Ferromagnetic layer, 也稱為參考層 reference layer, 或釘扎層 pinned layer) / 反鐵磁性偏壓層 (Antiferromagnetic biasing layer)」的自旋閥 (Spin-valve) 結構, 並於 NiFe/Cu/NiFe/FeMn 結構中發現此效應⁽⁶⁾。由於反鐵磁性偏壓層 (AFM) 與臨界之鐵磁性層 (pinned layer) 介面之交換偏壓耦合 (Exchange bias coupling) 效應使得相鄰之釘扎鐵磁性層 (pinned layer) 被釘扎於某單一方向上, 不易受到外加磁場的影響而翻轉, 此時自由鐵磁性層 (free layer) 便隨著外加低磁場靈敏地翻轉, 如圖 1(b) 所示。自旋閥結構具有較低的飽和磁場、低磁場之磁阻響應曲線呈線性、工作磁場小及靈敏度高優點, 故其應用相當的廣泛, 包含硬碟之讀取磁頭、角度感測器等。

4. 穿隧式磁阻

穿隧式磁阻效應早在 1975 年時, 由 Julliere 等人使用鐵及鈷薄膜夾著氧化鎵 (Fe/GeO/Co) 的結構, 於絕對溫度 4.2K 下所發現, 磁阻率約為 14%⁽⁷⁾, 因為在極低溫的緣故, 沒有引起太多科學上的關注。直到 1995 年由 Moodera 等人成功製作出室溫的磁性穿隧界面 (magnetic tunneling junction, MTJ), 其結構為兩鐵磁層夾著一薄膜絕緣層 CoFe/Al₂O₃/Co (NiFe), 該系統於低溫 4.2K 及室溫的磁阻變化分別為 24% 及 11.8%⁽⁸⁾, 如圖 2 所示。由於以氧化鋁 (Al₂O₃) 為絕緣層介面之磁性穿隧結元件之穿隧式磁阻 (TMR%) 不夠高, 不容易應用於自旋電子元件及高密度磁阻式隨機存取記憶體 (magnetic random access memory, MRAM) 上, 故於 2001 年 Bulter 等人在理論計算中展現了以氧化鎂 (MgO) 為絕緣層介面之磁性穿隧結元件可以具有更高的穿隧式磁阻 (TMR ~ 1000%)⁽⁹⁾, 在 2004 年 IBM 的 Parkin⁽¹⁰⁾ 以及日本 AIST 的 Yuasa⁽¹¹⁾ 等人分別於氧化鎂為絕緣層介面之磁性穿隧結元件中觀察到約 200% 的穿隧式磁阻, 自此開啟了以氧化鎂為絕緣層之磁性穿隧結元件研究, 並受到大量的關注及開發其應用端, 包含自旋轉移力矩 (spin

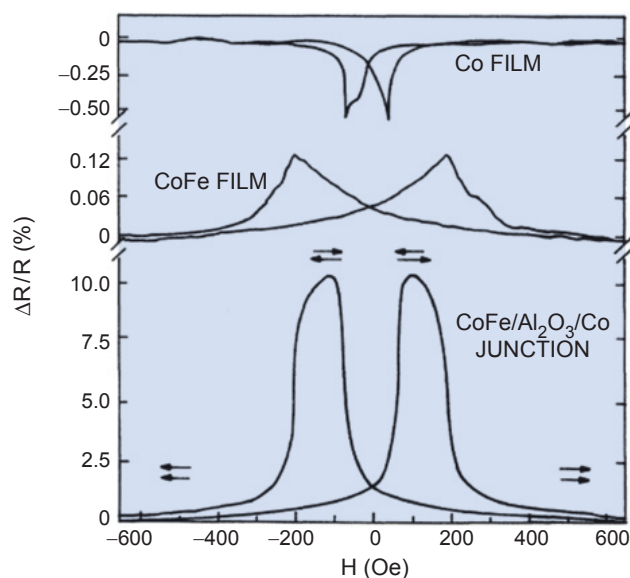


圖 2. CoFe / Al₂O₃ / Co (NiFe) 磁性穿隧界面 (Magnetic Tunneling Junction, MTJ)⁽⁸⁾。

transfer torque, STT) 效應、磁阻式隨機存取記憶體等。

穿隧式磁阻現象是源自於導電電子穿隧通過絕緣層的機率, 其機率與電子本身自旋極化 (spin polarization) 方向與通過絕緣層兩端之鐵磁層磁矩排列方向有關。主要的多層膜結構有兩種:

- (1) 鐵磁性層 / 絕緣層 / 鐵磁性層。
- (2) 鐵磁性層 / 絕緣層 / 鐵磁性層 / 反鐵磁性偏壓層。

Julliere 從自旋極化理論假設導電電子之自旋磁矩在通過絕緣層時不會改變。在絕緣層兩端之鐵磁層的磁化方向相同但其矯頑場 (Coercive field) 不同, 故在外加磁場至兩鐵磁層皆磁化飽和的情況之下, 兩鐵磁層之磁矩平行且同向 (parallel state), 導電電子穿隧過絕緣層機率最大, 表現出低阻態 (R_p); 當外加磁場於兩鐵磁層間的矯頑場範圍時, 兩鐵磁層之磁矩方向平行但反向 (antiparallel state), 導電電子穿隧過絕緣層機率降低, 表現出高阻態 (R_{AP})。穿隧式磁電阻的變化率定義為:

$$MR\% = \frac{R_{AP} - R_p}{R_p} \times 100\%$$

二、磁性元件製程技術

近年來對於磁記錄系統中的讀取頭、磁阻式隨機存取記憶體、及多樣式的磁場感測器之需求日益增長，所以在高磁阻多層膜材料、磁性元件的靈敏度及高密度奈米尺度元件的研究越來越熱門。於 1997 年 IBM 推出巨磁阻自旋閥讀取頭，大大的提高了感應靈敏度也提高磁記憶體的存取密度，在存取速度上更可達 15 ns 以下，使得自 1997 年以來磁碟的容量年均成長一倍左右，現今磁紀錄系統讀取頭的市場主流為穿隧式磁阻讀取頭。在 2016 年的 IEDM 會議上，東芝 (Toshiba) 和海力士 (SK Hynix) 則共同發表了 4-Gbit 的自旋力矩轉移磁阻式隨機存取記憶體 (STT-MRAM)，記憶體內部由八個 512 M-bit 的儲存區域所組成⁽¹²⁾，為磁阻式隨機存取記憶體研究領域之一大躍進，如圖 3 所示。

一般而言，針對不同應用與需求，衍生出不同的製程技術，但是在尺寸微小化及大量生產的必然前提下，透過微影術才能達成目標。茲針對一般研究型實驗室的規模，說明如下，尤其以本實驗室透過電流垂直膜面 (current perpendicular plane, CPP) 元件、電流平行膜面 (current in plane, CIP) 元件以及大陣列奈米元件，以探究微小化磁性多層膜的磁特性翻轉機制為主，就實驗製程技術以及元件製程分別介紹如下。

1. 製程技術

在製程技術上大至可以區分為微影技術、蝕刻技術、鍍膜技術等三類：

(1) 微影製程技術

IC 製程整合技術中最重要的一環就是微影技術，微影技術可以利用紫外光、電子束、離子束等光源，選擇性照射相對應阻劑，使阻劑產生化學變化，將設計好的複雜電路模型，透過光罩完整轉印 (pattern) 至晶圓上，依光罩與樣品距離又分為接觸式、近接式和投影式。光微影製程 (photo lithography) 主要為使用紫外光 (436 nm 以下) 的微影製程，利用光學成像的原理將圖形轉印到基版，且通常在黃光 (波長約 560–600 nm) 室內操作，所以又稱作黃光製程，為現今半導體產業最主要的微影製程技術。但黃光製程及光學顯微鏡有其波長繞射的極限，而且部分製程可能需要經過多道複雜的手續才能完成，此時電子束微影技術就扮演了很重要的角色。

電子束微影術 (E-beam lithography) 透過電子物質波波長為數埃 (Å) 以下的特性，經由電磁透鏡聚焦後，聚成直徑很小的電子束，其解析度可達奈米尺度，故使用電子束微影可以製作高密度、低維度的電晶體或任何結構，以達到奈米級元件的尺度。電子束微影術的另一項優點是：它不需要透過

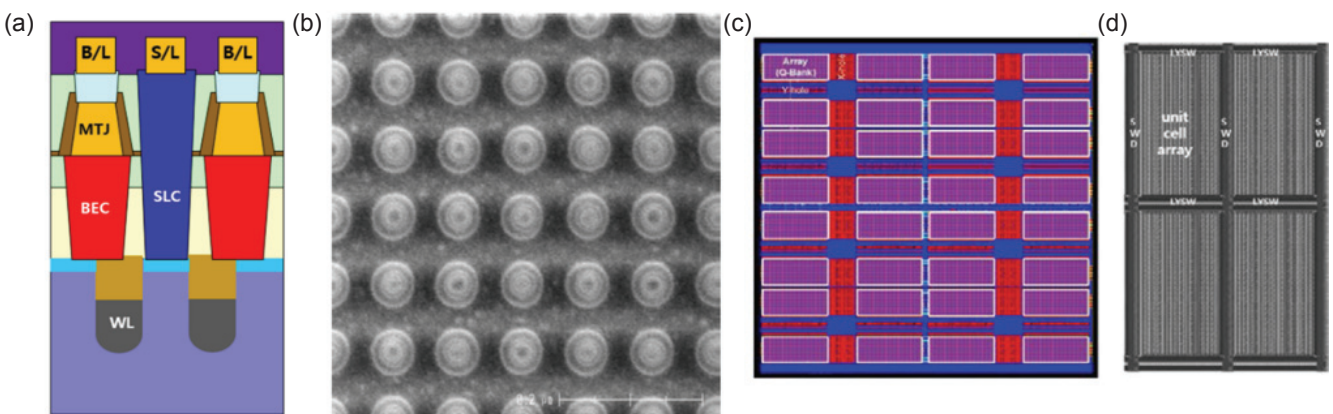


圖 3. Toshiba 和 SK Hynix 共同發表之 4-Gbit 的 STT-MRAM。(a) MTJ 元件結構之示意圖。(b) 電子顯微鏡下之 MTJ 矩陣元件。(c) 記憶體內部由八個 512 M-bit 的儲存區域所組成。(d) 對稱的矩陣元件區域⁽¹²⁾。

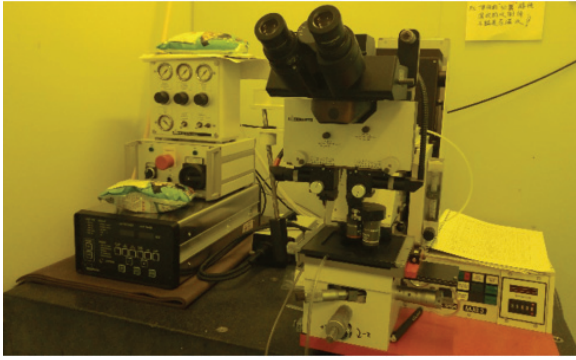


圖 4. Karl Suss-MJB3 曝光對準機。

光罩來轉印，只需使用電腦設計好所需的圖案，再轉由直接曝寫 (directing writing，直寫) 系統中曝光，所以可以省去黃光製程中設計大量光罩及製作的時間與成本，製程上相較於光微影技術有更多的自由發展空間。但是，電子束微影術在直寫時，會因低能量電子在光阻與基板間散射，造成光阻間能量分佈擴散，導致原定義圖形失真，此為所謂鄰近效應 (Proximity Effect)，所以在直寫高密度元件時，需要注意到圖案設計、選擇適合的電子阻劑及控制好曝寫電子束之劑量，以完成元件之製作。

本實驗室的曝光對準機是 Karl Suss-MJB3，如圖 4 所示，屬於接觸式曝光機，使用之光源為深紫外光 (Deep-UV，波長 250 nm)，此光微影系統之最佳解析度可達 0.3 微米。

本實驗室之電子束微影技術為場發射式電子顯微鏡 (Field Emission-Scanning Election Microscope, FE-SEM) 配裝電腦界面控制軟體 (Nanometer Pattern Generation System, NPGS) 而成，經由控制遮黑平板 (Beam blanker，此為控制電子束開關的平行電板)，以及偏折電磁線圈，以調控電子束入射到基板時的角度及位置。一般而言，場發式電子顯微鏡分為三種：冷場發射式 (Cold Field Emission, FE)、熱場發射式 (Thermal Field Emission, TF) 及蕭基發射式 (Schottky Emission, SE)，本實驗室採用蕭基發射式電子顯微鏡 Hitachi S-4300SE，如圖 5，真空度約 10^{-8} – 10^{-9} torr，其發射電流穩定，故搭配 NPGS 直寫系統，可以將電腦所設計的陣列圖形轉移，直寫於已塗佈電子阻劑之基板上，更可以完成長時間直寫之電子束微影的奈米尺度大陣列，詳細製程於本節 2.(3) 大陣列磁性薄膜奈米元件製程詳述。

(2) 蝕刻製程技術

在半導體製程中，蝕刻 (Etch) 製程常使用於移除晶圓表面部分之薄膜，以達到轉移圖案之技術。一般分為濕式蝕刻 (wet etching) 與乾式蝕刻 (dry etching)。濕式蝕刻技術針對於不同材料，選擇不同化學藥品進行蝕刻，需要具有高度選擇性。而乾式蝕刻又分為反應式離子蝕刻 (Reacting

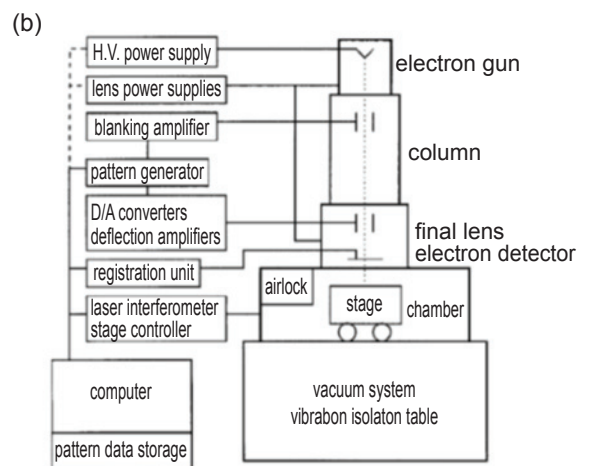
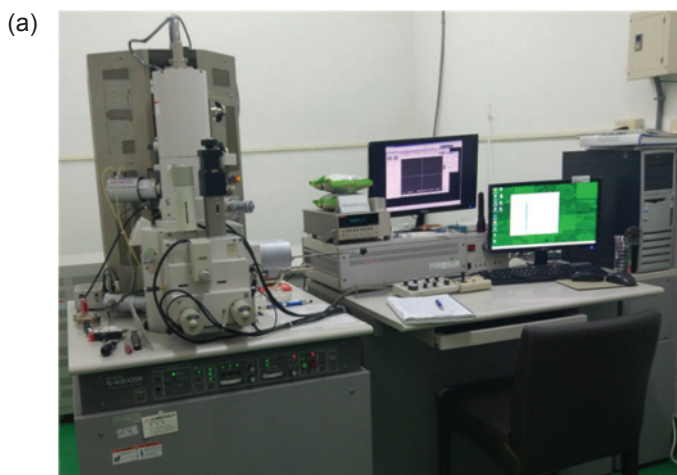


圖 5. (a) 蕭基發射式電子顯微鏡 Hitachi S-4300SE 配裝 NPGS 而成之直寫系統。(b) 電子顯微鏡掛載 NPGS 之示意圖。

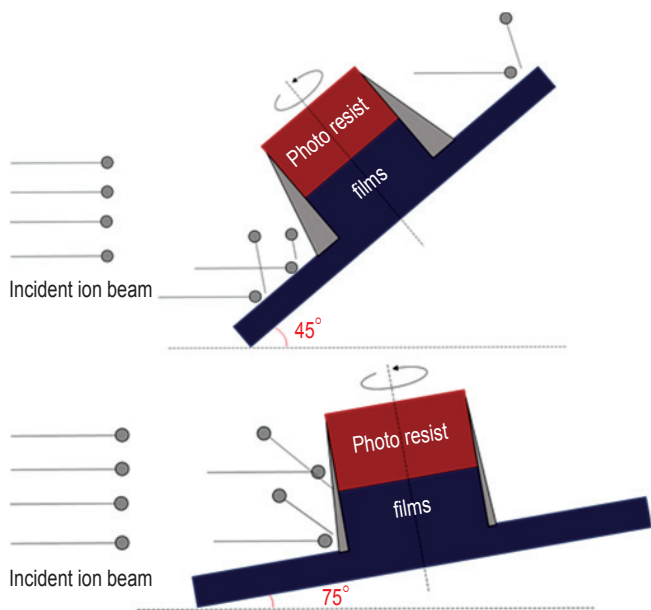


圖 6. 雙角度的蝕刻技術 (dual-angle etching)。

Ion Etching, RIE) 及離子束轟擊蝕刻 (Ion Milling Etching)，其中反應式離子蝕刻是以電漿進行蝕刻，又稱為電漿蝕刻 (Plasma Etching)。基本上，乾式蝕刻又有物理性轟擊及化學性蝕刻之分：物理性轟擊是指電漿中帶電荷之離子受偏壓影響，而加速去轟擊薄膜，無選擇性；化學性蝕刻則是透過氣體解離成離子後，針對薄膜產生化學反應，具高度選擇性，因其同時具有物化蝕刻的特性，屬於非等向性蝕刻。由於反應式離子蝕刻不易蝕刻次微米元件及奈米結構元件，故此時離子束轟擊蝕刻就扮演相當的重要。

離子束轟擊蝕刻在製作磁性多層膜結構中，具有相當的優勢地位，其工作原理是利用輝光放電的方式將 Ar 氣體離子化，再經由加速柵極 (grid) 加速 Ar 離子使其成為高能離子轟擊樣品表面，其加速系統是透過電子迴旋共振系統 (Electron Cyclotron Resonator, ECR)，屬於物理性轟擊蝕刻，具有無選擇性轟擊及良好的方向性，而且再透過雙角度的蝕刻技術 (dual-angle etching) 以改變離子束與樣品間的夾角，如圖 6 所示，可以蝕刻出接近垂直的輪廓，如圖 7 所示，此製程有助於解決磁性穿隧結元件製作時之側邊短路問題。本實驗室使用 Elionix EIS-200ER 電子迴旋共振式離子束蝕刻

機，如圖 9(a) 所示。

(3) 鍍膜製程技術

物理氣相沉積 (Physical Vapor Deposition, PVD)，是利用高溫熱源使得材料氣化或離子源使之形成等離子體，然後在基板上冷卻凝聚成不同型態的材料。透過高溫熱源對靶材加熱的是蒸鍍法 (Thermal deposition)，藉由高溫低壓使得靶材產生飽和蒸汽壓 (熔點) 來進行薄膜的沉積，真空度約 10^{-4} Pa (帕)，但其薄膜附著力較差，故在沉積所需材料前可先沉積一層鈦 (Ti) 或鉻 (Cr) 等，以增加薄膜之附著性。本實驗室之蒸鍍機為 Edward AUTO 360 如圖 8 所示，具有四組蒸鍍源。

若想獲得高品質之膜層結構可以利用離子源轟擊材料，使靶材上的原子或團簇 (cluster) 反濺至基材 (substrate) 上以產生薄膜，此為濺鍍法 (Sputtering)，具有附著力好、工作溫度低等優點。本實驗室濺鍍機為 Elionix EIS-220W 電子迴旋共振式離子濺鍍機，如圖 9(b)，濺鍍機腔體內真空度約 10^{-5} Pa (帕)，其工作原理是利用輝光放電的方式將 Ar 氣體離子化，再經由加速柵極 (grid) 加速 Ar 離子使其成為高能離子轟擊靶材表面再反濺於基板上，其加速系統是透過電子迴旋共振系統，於實驗中多用於製作元件之絕緣層或電極薄膜，機台也具有副離子源 (Second gun) 可供樣品之清潔。

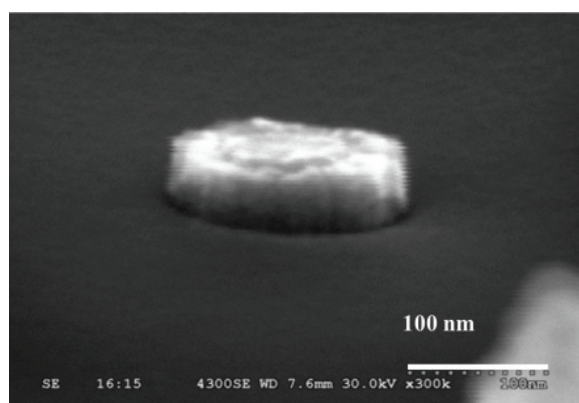


圖 7. 雙角度離子束蝕刻後，再披覆緣層之奈米磁穿隧結元件，中間所示元件約為 60 奈米直徑，同時可看出其具有良好的垂直蝕刻輪廓。



圖 8. Edward AUTO 360 蒸鍍機。

2. 元件製程與量測技術

(1) 電流垂直膜面之磁穿隧結元件

為了製作高品質的電流垂直膜面之磁穿隧結元件，一般會選擇使用由上而下 (Top-down) 的製程技術，也就是先在基板上沉積磁性多層膜後再轉移圖形的一門技術。在元件製程之前，沉積好的磁性多層膜會先以交替式梯度測磁儀 (Alternating Gradient Magnetometer, AGM) 確認其磁訊號特性 (磁滯曲線)。本實驗室採用 MicroMag TM 2900，透過調節交換梯度的驅動頻率，其壓電探針的靈敏度可達 10^{-6} emu，外加共振磁場高達 14 K 奧斯特 (Oersted, Oe)。磁訊號探測原理是透過外加磁場與壓電探針上的磁性薄膜共振，共振頻率會傳導至壓電晶片後轉為電壓，再輸出至檢測軟體轉換為磁特性曲線。依據不同磁特性的樣品可以透過不同的壓電探針來量測其垂直膜面或水平膜面之磁特性。圖

10 為磁性穿隧結薄膜之磁特性曲線是透過交替式梯度測磁儀量測外加垂直磁場時的磁滯曲線。可以看到在外場於 ± 300 Oe 時磁性薄膜之垂直磁化量已達飽和，當外場於 ± 50 Oe 時，可以觀察到上層水平磁性之鈷鐵硼薄膜 (感測層) 的翻轉；當外場於 ± 180 Oe 時，則可觀察到下層垂直磁性之鈷鐵硼薄膜 (參考層) 的翻轉。透過交替式梯度測磁儀量測磁特性曲線除了可以確認磁特性是否有如預期之外，更可以在完成元件製作後的磁阻特性量測上有更多的了解。

電流垂直膜面元件透過使用不同的製程整合技術以製造次微米及奈米元件，本實驗室常用 3 種不同技術⁽¹³⁾ 以完成上電極 (Top electrode) 與元件之接觸：

(a) 開溝渠製程 (Open trench)

開溝渠製程在微米尺度之電流垂直膜面磁穿隧結元件被廣泛地使用在上電極製程中，其關鍵製程在於雙角度蝕刻完成元件後舉離起阻劑，再披覆氮化矽 (SiN)，並透過電子束微影製程於元件上定義出圓環狀，使用反應式離子蝕刻完成開溝渠製程，最後再沉積上電極完成與元件之接觸，如圖 11 所示。

(b) 回蝕刻製程 (Etch-back)

由於奈米尺度之電流垂直膜面磁穿隧結元件不易於電子束微影製程中對準元件，不利於定義圓環狀完成開溝渠製程。於是在 2005 年 Ding 等人開發了奈米尺度元件之回蝕刻技術⁽¹⁴⁾，此相當於化學機械研磨拋光技術。關鍵技術在於披覆絕緣層後的平面化製程，本實驗室採用 spin-on-glass PC3-700

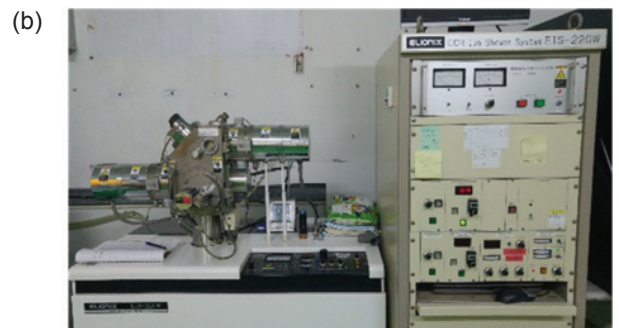


圖 9. (a) Elionix EIS-200ER 電子迴旋共振式離子束蝕刻機。(b) Elionix EIS-220W 電子迴旋共振式離子濺鍍機。

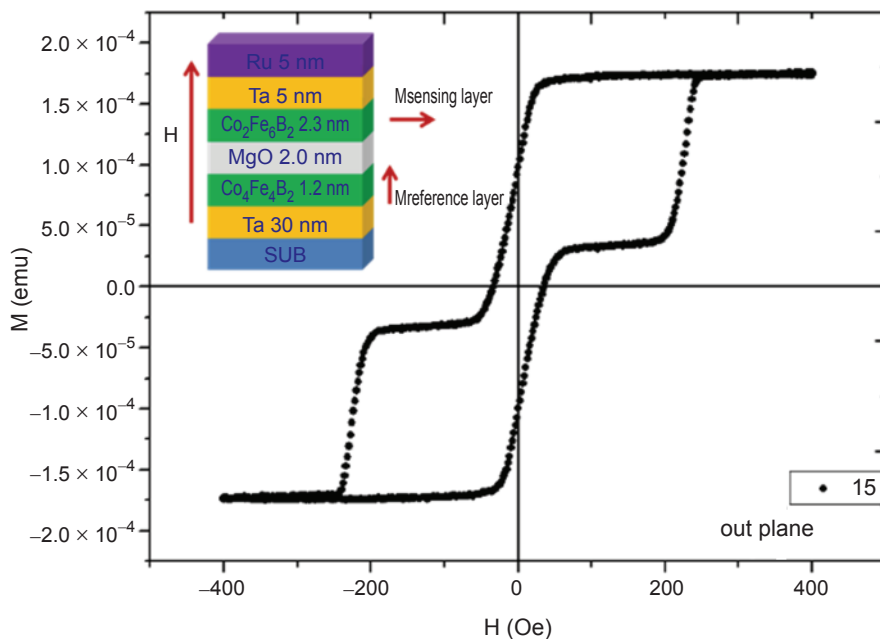


圖 10. 以交替式梯度測磁儀所測得之磁滯曲線⁽¹⁵⁾。

做為平面化材料，並透過反應式離子蝕刻使元件露出頂部金屬薄膜，其相關製程如圖 12 所示。

(c) 自對準製程 (Self-aligned)

前述兩種技術在製作奈米尺度之電流垂直膜面元件會遭遇到些許難題，包括開溝渠製程難以完成奈米尺度元件，而回蝕刻技術雖然可以解決奈米級尺度元件之頂部電極接觸的問題，但是反應式離子蝕刻技術也增加表面粗糙度，不易控制其蝕刻率以順利揭開元件頂端金屬表面。故本實驗室採用了自對準製程技術提高了次微米元件及奈米結構元件的製程良率，以下就自對準製程及量測技術做詳細的介紹，並以鈷鐵硼磁穿隧結元件之電性傳輸研究⁽¹⁵⁾為例。

確認磁特性曲線符合預期之後，便透過自對準製程技術製作電流垂直膜面元件，圖 13 為元件製程之示意圖。首先使用光微影製程及雙角度離子束蝕刻技術定義出下電極，如圖 13(a) 所示。接著會根據元件的尺度選擇光微影術或電子束微影術以定義並轉印元件圖型，圖 13(b) 為微米尺度之光微影製程示意圖。圖型轉印完畢後再次使用雙角度離子束蝕刻來完成元件的蝕刻，在圖 13(b) 中，電極

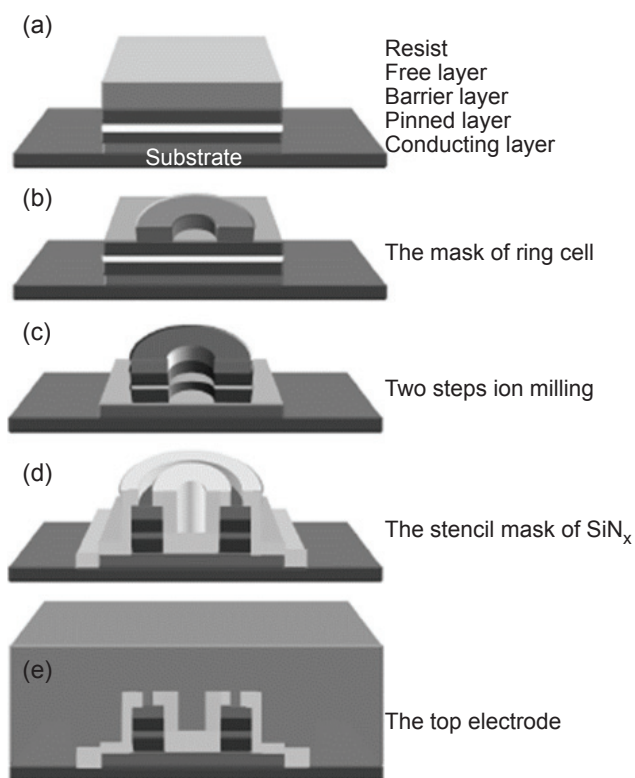


圖 11. 開溝渠製程 (Open trench) 示意圖。

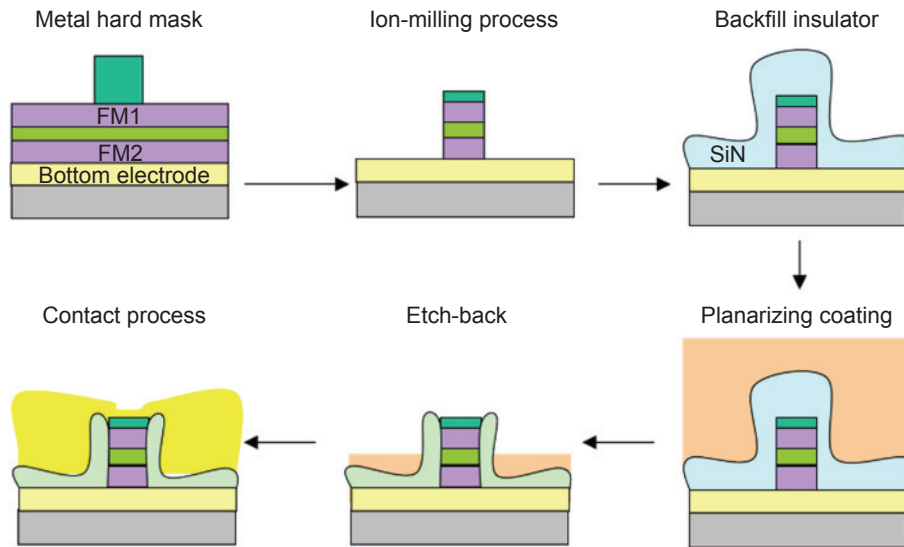


圖 12. 回蝕刻製程 (Etch-back) 示意圖。

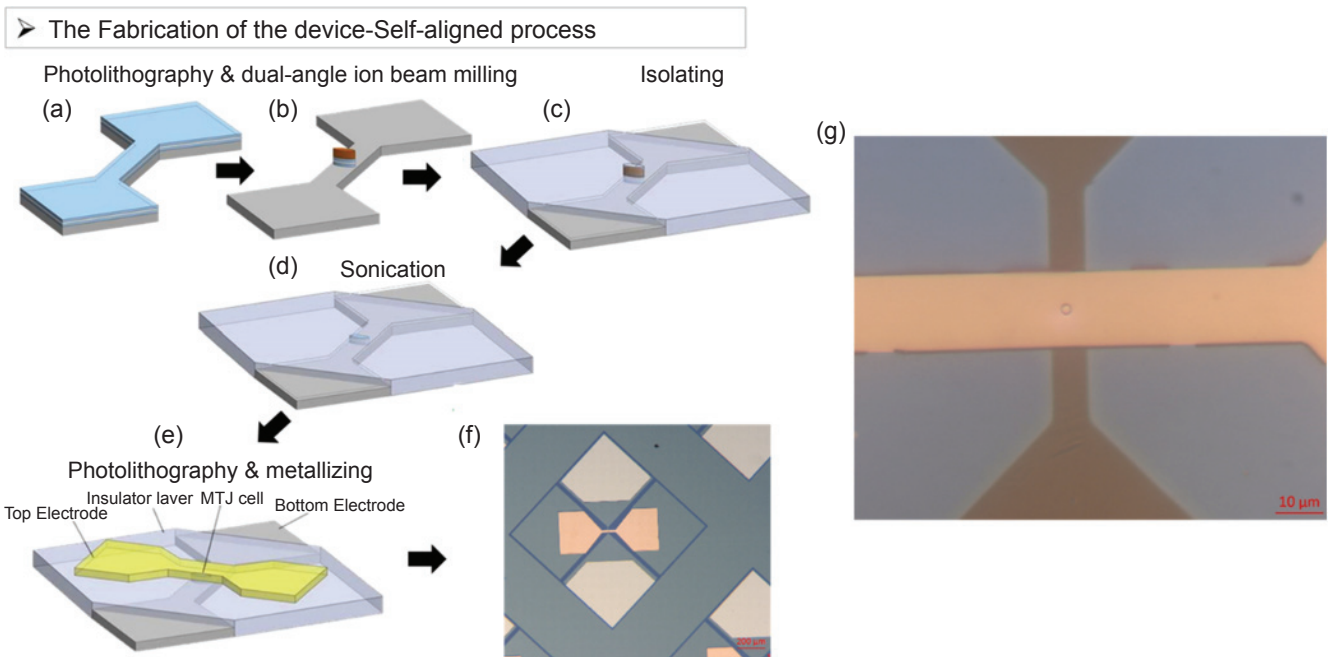


圖 13. 以自對準製程技術製作電流垂直膜面磁穿隧結元件示意圖 (a) 使用光微影及雙角度離子束蝕刻技術來定義出下電極圖。(b) 使用光微影及雙角度離子束蝕刻技術來定義出微米尺度元件。(c) 使用離子濺鍍機披覆絕緣層薄膜。(d) 將元件泡入丙酮中並使用超音波震洗機來震倒元件上的阻劑遮罩。(e) 透過光微影定義圖形並轉印，再使用離子濺鍍機沉積銅當做上電極。(f) 電流垂直膜面磁穿隧結元件之樣貌。(g) 光學顯微鏡下之 3 微米圓柱之電流垂直膜面磁穿隧結元件⁽¹⁵⁾。

正中央之圓柱即為元件，元件頂端 (咖啡色之圓柱) 為光微影或電子束微影製程定義圖案之光阻 (光微影使用正光阻 AZ6112、電子束微影使用負電子阻劑 man2405)，在蝕刻中當做遮罩 (soft-mask) 使用。蝕刻完畢後使用離子濺鍍機 (Sputtering) 披覆絕緣層薄膜氧化矽 (SiO₂)，薄膜厚度需與元件膜層厚度匹配，以防後續量測上漏電流的產生，若披覆厚度遠高於膜層厚度則會造成後續製程難以露出元件頂端金屬薄膜，故以能完整批覆元件周圍為主，如圖 7、13(c) 所示。

完成披覆絕緣層薄膜後，將元件浸泡入丙酮 (ACE) 中，並使用超音波震洗機以震倒 (Sonication) 元件上的阻劑遮罩，如圖 13(d) 所示，須確認元件頂端露出頂端金屬薄膜，才可進行後續上電極的轉印及沉積製程，上電極的製程步驟亦先透過光微影定義圖形並轉印，再使用離子濺鍍機沉積上電極，如圖 13(e) 所示。若有些微阻劑殘留元件頂端難以去除，則在沉積上電極之前透過離子濺鍍機的副離子源做頂端表面的清潔，確保元件露出頂端金屬薄膜，才不至於在沉積後導致元件與上電極的接觸面不佳影響後續磁阻量測。圖 13(f) 為製作完成之電流垂直膜面磁穿隧結元件，圖 13(g) 為光學顯微鏡下之 3 微米圓柱之電流垂直膜面磁穿隧結元件。

穿隧式磁阻元件製作完畢後，透過室溫直流電之磁阻量測系統探究其電阻與外加垂直膜面磁場的

響應行為，如圖 14(a) 所示。此系統包含直流電流源 Keithley 6221、伏特計 Keithley 2182A、垂直膜面磁場系統 (透過 Kepco BOP20-20D power supply 提供電流，可供應至 20 安培之電流以產生 1800 Oe 之磁場) 及高斯計以探測電磁鐵所產生之磁場。

磁阻與垂直膜面磁場之響應行為如圖 14(b) 藍色曲線，並且將磁特性曲線 (紅色線) 與之共同比較可以更清楚的觀察到當外場在 ± 300 Oe 時，兩磁性層為平行態，其電阻處於低阻態 (R_p)；當外加磁場漸漸退至零場時，上層水平磁性之鈷鐵硼薄膜 (感測層) 會慢慢翻轉至其穩態，故電阻開始上升；當外加磁場於 ± 0–170 Oe 時，上層水平磁性之鈷鐵硼薄膜 (感測層) 會隨外加磁場方向翻轉，下層垂直磁性之鈷鐵硼薄膜 (參考層) 尚未開始翻轉，故此時期兩磁性層為反平行態，其電阻處於高阻態 (R_{AP})；當外加磁場大於 ± 170 Oe 時，上層水平磁性之鈷鐵硼薄膜 (感測層) 已隨外加磁場翻轉，此時下層垂直磁性之鈷鐵硼薄膜 (參考層) 開始翻轉，兩磁性層又慢慢變回為平行態，其電阻處於低阻態 (R_p)。透過穿隧式磁電阻變化率公式可以算出

$$MR\% = \frac{R_{AP} - R_p}{R_p} \times 100\%$$

在 ± 38–74 Oe 區間觀察到其磁電阻特性具有良好的線性區，靈敏度 (Sensitivity) 約為 1.4 mV/V/Oe，可應用於磁感測器上。

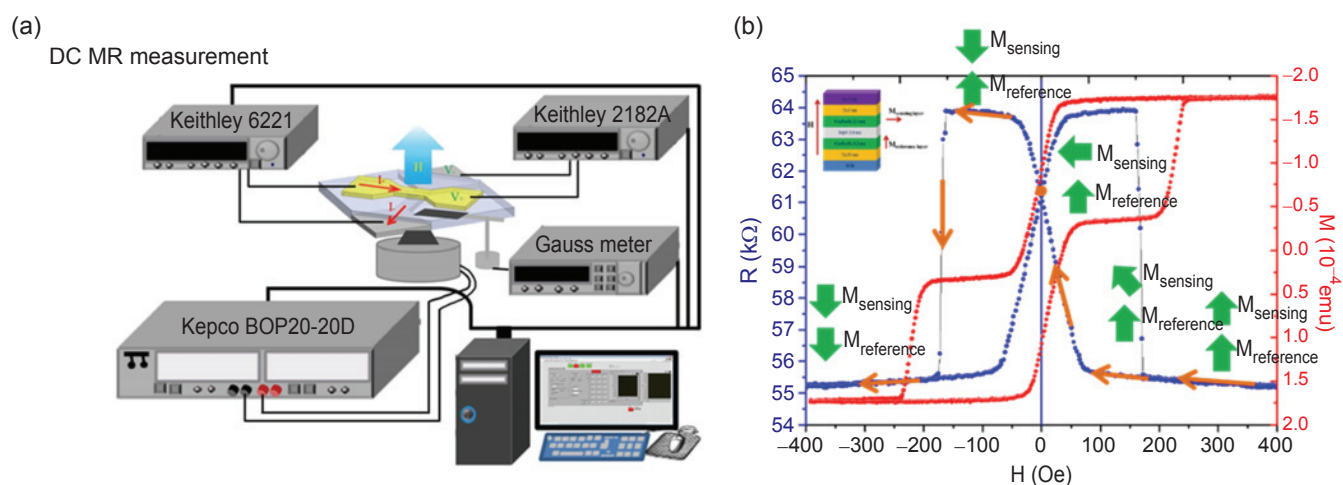


圖 14. (a) 室溫直流電之垂直膜面磁阻量測系統。(b) 藍色為磁阻曲線、紅色為磁特性曲線⁽¹⁵⁾。

(2) 電流平行膜面自旋閥磁感測器元件製程

自旋閥磁感測器是基於巨磁阻效應具有高磁阻 (與異向性磁阻比較)，其巨磁阻效應是來自於自旋向上和自旋向下的電子在磁性金屬/非磁性金屬介面的差異性自旋散射的不對稱有關。然而，感測區呈現線性磁阻行為與適當動態感測區為最重要參數。

元件是利用電流平行膜面的製程技術來完成自旋閥磁感測器，為了要使得自旋閥元件能夠應用在其他電子產品上，並且不受到其他電子元件的訊號干擾，所以透過串聯元件的方式以提高感測器之電阻值。圖 15(a) 中，利用光微影術及蒸鍍機將電極轉移至自旋閥多層膜樣品上，接著以電子束微影術將自旋閥感測器圖型定義於電極中，如圖 15(b)。定義之電子阻劑圖型在雙角度離子蝕刻中當做遮罩使用，如圖 15(c)，除去阻劑之後如圖 15(d)。最後，再次利用電子束微影術定義導線電極，並佐以蒸鍍機沉積電極，如圖 15(e) 中藍色部分鍍上銅。圖 15(f) 為串聯式自旋閥磁感測器之電子顯微鏡圖像。

串聯式自旋閥元件完成後，會再經由沿短軸加場退火的製備手續，使得釘扎層具有較佳的交換偏壓場效果。再透過室溫直流電之磁阻量測系統來探究其退火前與退火後電阻與外加水平膜面磁場的響

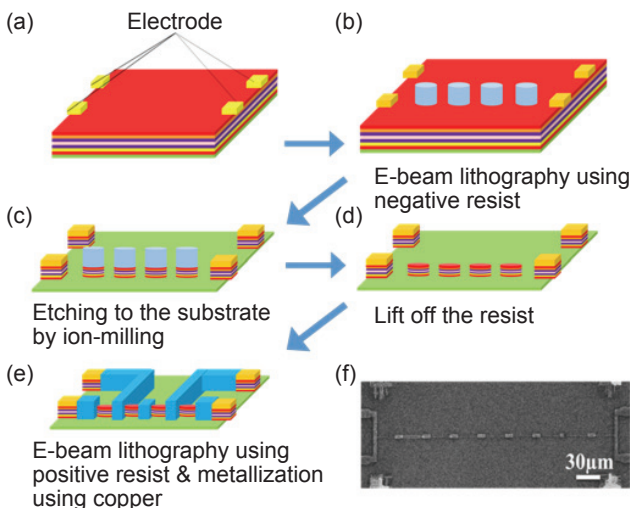


圖 15. (a)–(e) 自旋閥磁感測器之製作流程。(f) 串聯式自旋閥磁感測器之電子顯微鏡圖像。

應行為，如圖 16(a) 所示。磁阻與水平膜面磁場之響應行為如圖 16(b) 之曲線，可以觀察到經由退火後之自旋閥元件的磁阻相較未退火元件來的高、靈敏度較佳，約 0.6 mV/V/Oe 及對稱的動態範圍約 ± 50 Oe，相當合適應用於自旋閥感測器上。

(3) 大陣列磁性薄膜奈米元件製程

為了瞭解奈米磁性結構之磁矩翻轉特性，需透過電子束微影技術以完成奈米結構製程，如前所述本實驗室採用蕭基發射式電子顯微鏡掛載 NPGS 系統，並透過自動控制載台系統 (motorized stage)，以完成長時間直寫之奈米尺度大陣列。由於陣列寫圖範圍大，因此不同位置之焦距差異較大，所以在預寫陣列範圍的四周尋找至少三點位置之焦距，如圖 17(a)，NPGS 系統將會把這些點之焦距統整成一平面公式去校正直寫時各點位置之焦

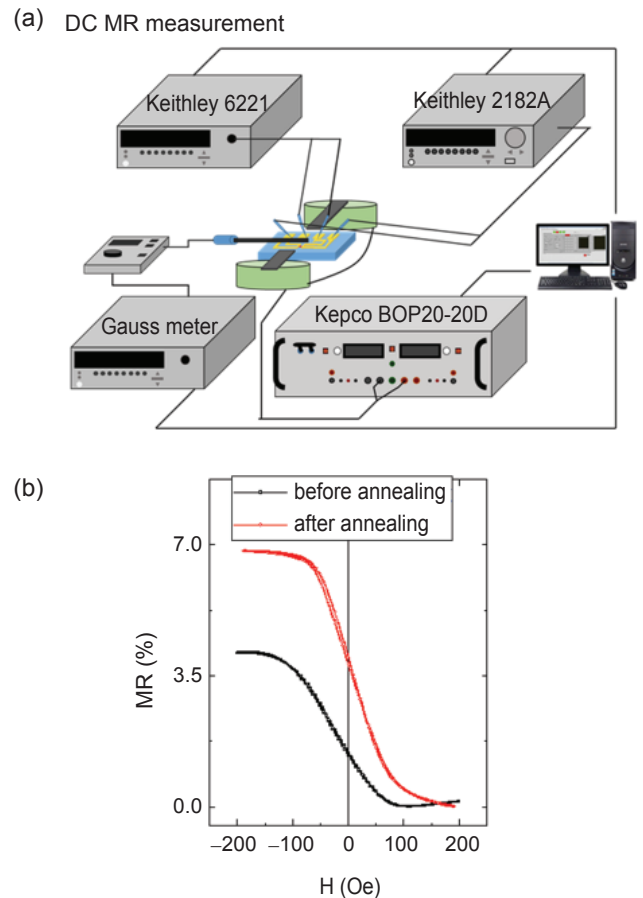


圖 16. (a) 自旋閥磁感測器量測架設。(b) 磁阻曲線圖。

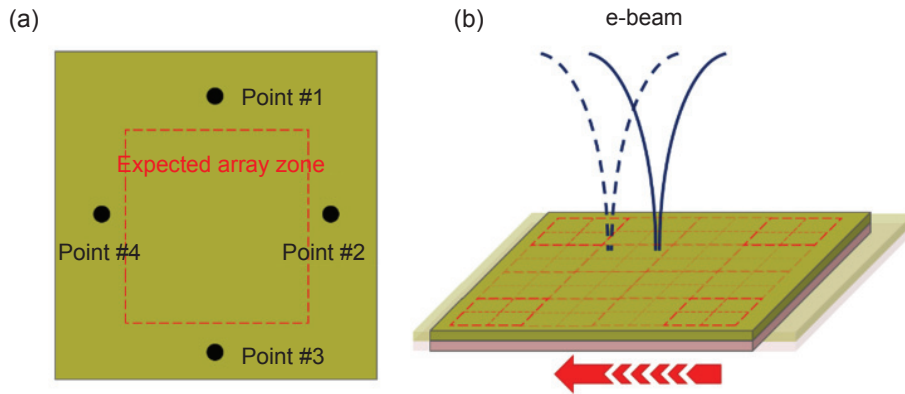


圖 17. (a) 平面焦距校正式之操作示意圖。(b) 電子束搭配 NPGS 系統之大陣列寫圖示意圖。

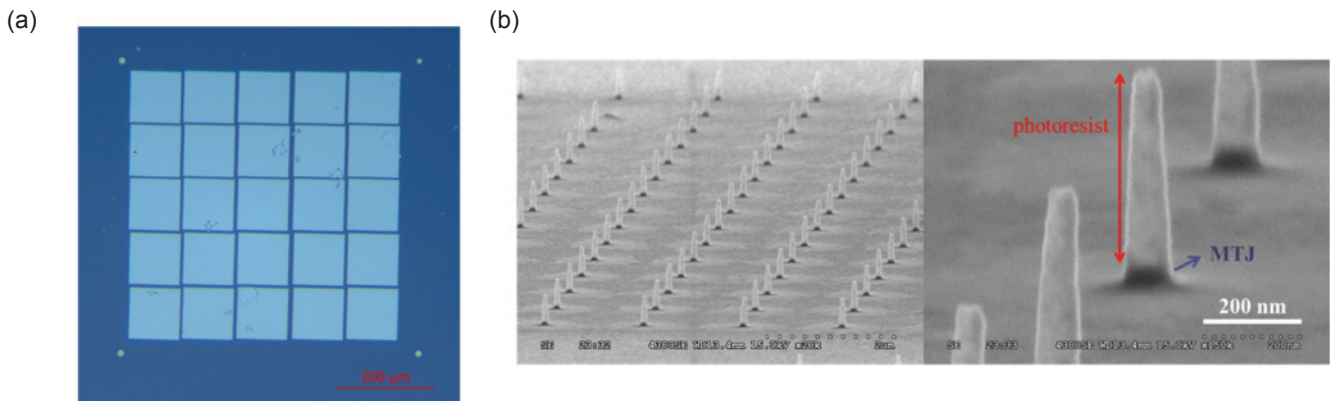


圖 18. (a) 0.5 毫米之大陣列磁性薄膜奈米元件。(b) SEM 下傾角 45° 之奈米元件。

距，以防錯誤之焦距導致圖型變形。在陣列圖形轉移的過程中，搭配 NPGS 自動控制載台 X-Y 方向的移動，使電子束能在下一區塊進行曝光，如圖 17(b)，此技術能將直寫範圍擴大至毫米尺寸如圖 18(a) 所示，並透過雙角度離子蝕刻技術完成大陣列磁性薄膜奈米元件如圖 18(b) 所示。

三、磁性材料的大未來—通用記憶體

記憶體是電腦、存取系統及行動裝置等的核心元件，目前的記憶體裝置分別有揮發性記憶體 (volatile memory) 的動態隨機存取記憶體 (dynamic random access memory, DRAM) 和靜態隨機存取記憶體 (static random access memory, SRAM)，此兩種記憶體是透過充放電荷儲存資料，運算速度快，但

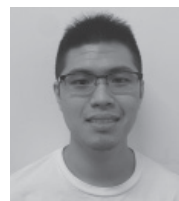
在電源關閉後其儲存之記憶將會流失；另外是具非揮發性記憶體 (non-volatile memory, NVRAM) 的編碼型快閃記憶體 (NOR Flash) 和儲存型快閃記憶體 (NAND Flash)，其儲存之記憶不會隨電源關閉而消失，但運算速度略慢且寫入的次數上有其極限所在，超出侷限後將會開始出現異常。以未來資訊科技的發展前景預估，記憶體的容量將日益擴增，亦即每個記憶體單元的尺寸將更加微小化，且希望能同時兼具運算效能及存取資料之功能成為通用記憶體，目前主流的記憶體元件將不敷使用。近年來幾種新興技術以提高性能、低功耗，以及更長的使用壽命等優點打入現今市場，如可變電阻式記憶體 (resistive random-access memory, ReRAM)、相變化記憶體 (phase-change memory, PCRAM) 以及磁阻式隨機存取記憶體 (MRAM) 等非揮發性記憶體。

前述幾種可能的未來記憶體中，尤其以磁阻式隨機存取記憶體最為市場所看好。磁阻式隨機存取記憶體是透過單一磁穿隧結元件做為存取單元，一旦寫入後，系統不需要再補充電荷等耗能動作，資料便可達到儲存至少十年以上的特性。現今，自旋力矩轉移磁阻式隨機存取記憶體 (STT-MRAM) 為發展中的主力產品，已有少量產品發表如前所述，東芝和海力士共同發表之 4-Gbit 自旋力矩轉移磁阻式隨機存取記憶體為磁阻式隨機存取記憶體研究領域之一大躍進。自旋力矩轉移效應是利用自旋極化電子對磁區產生力矩，當一電流通過一鐵磁層時會激發出自旋電流，而此自旋電流將對臨近鐵磁層產生力矩使得磁矩翻轉，其中以具有垂直膜面之磁異性之磁穿隧結元件在效能表現上更優異。而除了以自旋力矩轉移寫入的機制外，研究中更發現透過電場操控磁異向性 (voltage-controlled magnetic anisotropy, VCMA) 的方式用以翻轉磁矩，並配合自旋轉移力矩效應 (VCMA + STT) 或外加磁場的方式 (VCMA + H_{app})，將更能大幅降低消耗能量⁽¹⁶⁾。磁阻式隨機存取記憶體除了可以整合於現有的互補式金屬氧化物半導體 (complementary metal-oxide-semiconductor, CMOS) 製程技術，亦可採用 10 奈米製程以實現高存取密度、高運作性能、低消耗功率及低製造成本的目標。由於其具有更快的存取速度、更低的延遲時間和較長久的使用壽命等特性，預期磁阻式隨機存取記憶體在未來將取代動態隨機存取記憶體、靜態隨機存取記憶體和編碼型快閃記憶體，集聚運算與儲存功能，成為夢幻的通用記憶體。

參考資料

1. W. Thomson, *Proc. Roy. Soc.*, **8**, 546 (1857)
2. N. W. Ashcroft, N. D. Mermin, *Solid State Physics*, New York (1976).
3. P. L. Rossiter, *The Electrical Resistivity of Metals and Alloys*, Cambridge (1987).
4. M. N. Baibich, J. M. Broto, A. Fert, et al., *Phys. Rev. Lett.*, **61**, 2472, 1988.
5. G. Binasch, P. Grunberg, F. Saurenbach, W. Zinn, *Phys. B*, **39**, 482 (1989).
6. B. Dieny, V. S. Speriosu, S. Metin, S. S. P. Parkin, B. A. Gurney,

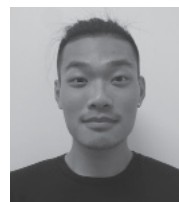
- P. Baumgart, and D. R. Wilhoit, *J. Appl. Phys.*, **69**, 4774 (1991).
7. M. Julliere, *Phys. Lett.*, **54A**, 225 (1975).
8. J. S. Moodera, Lisa R. Kinder, Terrilyn M. Wong, and R. Meservey, *Phys. Rev. Lett.*, **74**, 3273 (1995).
9. W. H. Butler, X.-G. Zhang, T. C. Schulthess, and J. M. MacLaren, *Phys. Rev. B*, **63**, 054416 (2001).
10. S. S. P. Parkin, C. Kaiser, A. Panchula, P. M. Rice, B. Hughes, M. Samant, and S.-H. Yang, *Nat. Mater.*, **3**, 862 (2004).
11. S. Yuasa, T. Nagahama, A. Fukushima, Y. Suzuki, and K. Ando, *Nat. Mater.*, **3**, 868 (2004).
12. S. W. Chung, et al., "4Gbit density STT-MRAM using perpendicular MTJ realized with compact cell structure," IEDM, 659-662 (2016).
13. H. M. Lee, Y. C. Lee, H. H. Chen, L. Horng, J. C. Wu, C. M. Lee, T.H. Wu, and G. Chern, *SPIN*, **2**, 1230002 (2012).
14. Y. Ding, M. Pakala, P. Nguyen, H. Meng, Y. Huai and J. P. Wang, *J. Appl. Phys.*, **97**, 10C702 (2005).
15. 蘇郁捷, 鈷鐵硼磁穿隧結元件之電性傳輸研究, 彰化師大物理研究所碩士論文 (2016).
16. Kamaram Munira, Sumeet C. Pandey, Witold Kula, and Gurtej S. Sandhu, *Journal of Applied Physics*, **120**, 203902 (2016).



賴國豪先生為國立彰化師範大學物理研究所碩士班學生。

Guo-Hau Lai is currently a master student in the Department of Physics, National Changhua University of

Education.



韓鴻騏先生為國立彰化師範大學物理學系大學部學生。

Hung-Chi Han is currently a bachelor student in the Department of Physics, National Changhua University of

Education.



吳仲卿先生為美國奧勒岡大學物理學博士現任國立彰化師範大學物理系教授。

Jong-Ching Wu received his Ph.D. in physics from University of Oregon,

USA. He is currently a professor in the Department of Physics at National Changhua University of Education.