

# 感應耦合電漿離子蝕刻技術應用於 3D IC 玻璃穿孔導線封裝研究

## Investigation of Fabricated Through Glass Via (TGV) Process by Inductively Coupled Plasma Reactive Ion Etching (ICP-RIE) for 3D-IC Package Applications

湯喻翔、蕭銘華、游智勝

Yu-Hsiang Tang, Ming-Hua Shiao, and Chih-Sheng Yu

隨著晶片趨向輕薄短小、低耗電、低成本與多功能的需求，故晶片在系統中可使用的空間愈來愈小，因此發展三維玻璃穿孔導線 (through glass via, TGV) 技術可以有效提供晶片間在垂直方向之電訊連接，進而縮短其傳輸距離，成為該領域中較為突出且重視的一項技術。本研究主要目的在探討玻璃穿孔製程，使用感應耦合電漿離子蝕刻 (inductively coupled plasma-reactive ion etching, ICP-RIE) 系統，以八氟環丁烷 ( $C_4F_8$ ) 與氦氣 (He) 混和氣體作為反應氣體，對石英玻璃進行穿孔結構製作，探討改變基板厚度、孔洞尺寸及蝕刻遮罩對表面形貌、蝕刻率及側壁垂直度等影響。實驗結果發現以最佳參數製程可得到一最快蝕刻速率約為  $0.408 \mu\text{m}/\text{min}$ ，蝕刻穿孔後深度可達  $150 \mu\text{m}$ 、穿孔直徑製程能力可達  $50 \mu\text{m}$  及側壁垂直度可達  $89^\circ$ 。

This paper presents the manufacturing process of through glass via (TGV) structure and direct implications on the design of quartz-based interposer applications for three-dimensional integrated circuit (3D-IC) packaging technology. First, we analyze detailed substrate thickness formed by dry etching with various associated structures based on the use of thin quartz as a substrate material. Then, we evaluated the holes etched in glass wafers by photolithography and inductively coupled plasma-reactive ion etching (ICP-RIE) techniques. The fabricated TGV morphology showed an excellent characterization between substrate thickness, via diameter, and via shape for a vertical interposer. Finally, we obtain that TGV structure with a diameter of  $50 \mu\text{m}$  in  $150 \mu\text{m}$  thin quartz wafer exhibit high usability for thin wafer processing with the optimized fabrication parameters.

## 一、前言

電子產品近年來朝向輕、薄、短、小以及多功能的方向發展，不同於過去晶片設計的二維思考模式，藉由三維 (3D) 堆疊方式進行開發，可縮短每層晶片間的內部連結路徑，提升訊號傳遞速度，並降低雜訊與功耗；同時，也可實現更多異質功能整合，滿足未來行動裝置輕薄且多功能的嚴苛要求<sup>(1)</sup>。由於三維立體積體電路 (3D-IC) 的技術為先進半導體製程平台技術，因此可廣泛運用於許多的電子產品，如手持式電子裝置 (包含智慧手機、平板電腦)、微機電 (MEMS) 元件、車用電子系統及生醫感測晶片等。

隨著製程技術微縮至奈米尺度後，為因應微小化製程所帶來的信號接腳數變多及晶片複雜度問題，穿孔導線技術漸受重視。穿孔導線的技術可縮短金屬導線長度及連線電阻，更能減少晶片面積，具有體積小、效能高、耗電量低及成本更低的特點。3D-IC 最大特點在於讓不同功能性質，甚至不同基板的晶片，各自應用最適合的製程分別製作後，再利用矽穿孔 (through silicon via, TSV) 技術進行立體堆疊整合<sup>(2)</sup>。其中 TSV 是 3D-IC 堆疊式晶片的重點技術，該技術是透過以垂直導通來整合晶圓堆疊的方式，以達到晶片間的電性傳導。將晶片連接在一起的基板，可以是矽、玻璃、金屬、甚至是高分子材料<sup>(3)</sup>。矽穿孔技術漸受重視且比金屬及高分子材料優秀，然而矽基板本身有受限於成本及電性絕緣之問題。相對來說，玻璃具有匹配於矽基板之熱膨脹係數 (coefficient of thermal expansion, CTE)、優異表面平坦度與高電阻率之特性<sup>(4)</sup>。本研究將使用石英玻璃 (quartz glass) 作為基板材料，具有匹配於矽基板之熱膨脹係數、壓電性、絕緣性、透光性、高硬度等特性，是一種極具發展微元件潛力之材料，如表 1 所示<sup>(5)</sup>。缺點為在石英玻璃上製作微小線寬 (< 50  $\mu\text{m}$ ) 高深寬比之孔洞有製程的困難性，最大瓶頸在於加工困難度與非導電性所導致之電荷累積效應，導致製程速率慢及效率差。

近年來數種方式已經被驗證來製作玻璃穿孔導線 (through glass via, TGV)，包括超音波鑽孔 (ultrasonic drilling)、微研磨 (powder blasting)、雷

表 1. 石英玻璃之材料特性。

Properties		Quartz glass
Thermal	CTE	$5.7 \times 10^{-7} / ^\circ\text{C}$
	Thermal Conductivity	1.4 W/mK
	Softening Point	1683 $^\circ\text{C}$
	Strain Point	1120 $^\circ\text{C}$
Optical	Reflective Index	1.47
Mechanical	Young's Modulus	72 GPa
	Poisson's Ratio	0.17
Electrical	Resistivity	$7 \times 10^{-7} (\Omega^* \text{cm})$
	Dielectric Constant	3.7
	Loss Tangent	0.00006 at 3 GHz

射 (laser ablation) 及微放電加工 (electrical discharge machining) 等技術<sup>(6)</sup>，隨著微元件結構日益縮小化，製程上對更微小線寬的控制、非等向性 (anisotropy) 及選擇比 (selectivity) 等要求日異嚴格，使得傳統機械加工方式並不易在玻璃表面上製作微奈米圖形結構。在微機電系統 (micro electro mechanical systems, MEMS) 中，於石英玻璃上製造垂直性溝槽 (trench) 結構是不可或缺的關鍵技術。一般常使用的製作方法為乾蝕刻 (dry etching) 技術<sup>(7)</sup>，在玻璃乾蝕刻之主要挑戰是需要產生高能量離子以破壞矽-氧 (Si-O) 鍵結，其餘困難包括低蝕刻率、低蝕刻選擇比及不易製造高寬比結構等問題。本研究使用之石英玻璃蝕刻機台為感應耦合電漿離子蝕刻 (ICP-RIE) 系統，主要是利用電漿來進行蝕刻，此種蝕刻包含物理性轟擊及化學性蝕刻雙重作用，具有較佳的非等向性蝕刻，故能獲得最佳垂直度且高深寬比之製程技術。

目前，玻璃穿孔導線蝕刻製程技術在微機電領域皆有許多學者進行研究。大部分文獻顯示是以 ICP-RIE 系統為主，使用金屬層作為蝕刻遮罩以得到高深寬比之結構。2002 年，Li 等人<sup>(8)</sup> 使用  $\text{SF}_6$  氣體作為蝕刻電漿成份，在 Pyrex 玻璃上製作直徑 40–80  $\mu\text{m}$  及深寬比 5–7 之穿孔結構，實驗結果得到線寬 50  $\mu\text{m}$  及深度 150  $\mu\text{m}$  之高密度穿孔導電結構，並完成鍍金屬之導線電鑄，但其缺點為尺寸精度控制及側壁垂直度不佳之問題。

基於上述參考文獻，根據我們過去的研究，以

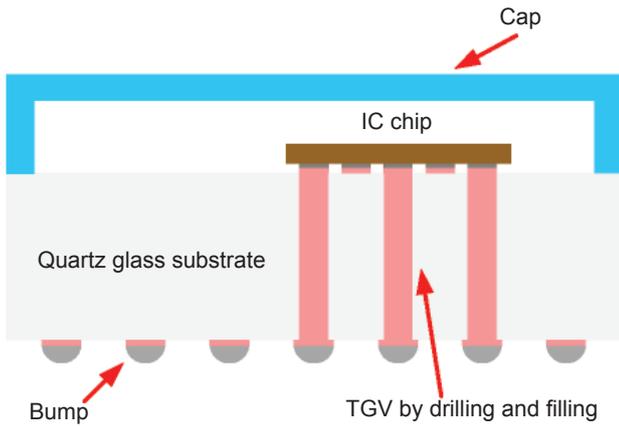


圖1. 玻璃穿孔導線架構之示意圖。

八氟環丁烷 ( $C_4F_8$ ) 與氦氣 (He) 混和氣體作為反應氣體，對石英玻璃進行表面圖形結構的蝕刻，實驗結果可得到一最快蝕刻速率約為  $0.332 \mu\text{m}/\text{min}$ ，蝕刻後溝槽深度可達  $44.6 \mu\text{m}$ 、側壁垂直度可達  $89^\circ$ 。因此本研究將以  $C_4F_8/\text{He}$  混和氣體為蝕刻電漿，對石英玻璃進行穿孔結構製作，並比較不同厚度之玻璃基板對穿孔表面形貌及製程效率之影響，

與探討改變蝕刻遮罩(金屬及厚膜光阻) 對表面形貌、蝕刻率及側壁垂直度等影響。玻璃穿孔導線架構之示意如圖 1 所示，進行玻璃穿孔後，填充銅導線以完成連接 IC 元件及 Bump 之介質，顯示石英玻璃具有較好絕緣特性，且與半導體製程相容性高，較易與矽基板元件進行堆疊整合，可將傳統二維積體模式轉成三維積體架構，有效的利用空間並縮短電流訊號所導通的距離、降低電阻率所造成的功率損失。關於石英玻璃穿孔導線製程的開發，使得可攜式 3C 元件設計、製作及檢測能量更為完備，主要應用於微光柵、微奈米結構蝕刻、3D 封裝及生醫微流體等元件。

## 二、實驗設計

二氧化矽蝕刻機制如圖 2 所示，利用正離子破壞 Si-O 鍵結，並依據在晶片表面連續沉積  $C_xF_y$  高分子薄膜後，同時在  $C_xF_y$  沉積層與二氧化矽間以較重離子進行轟擊並產生蝕刻反應。本研究採用蝕

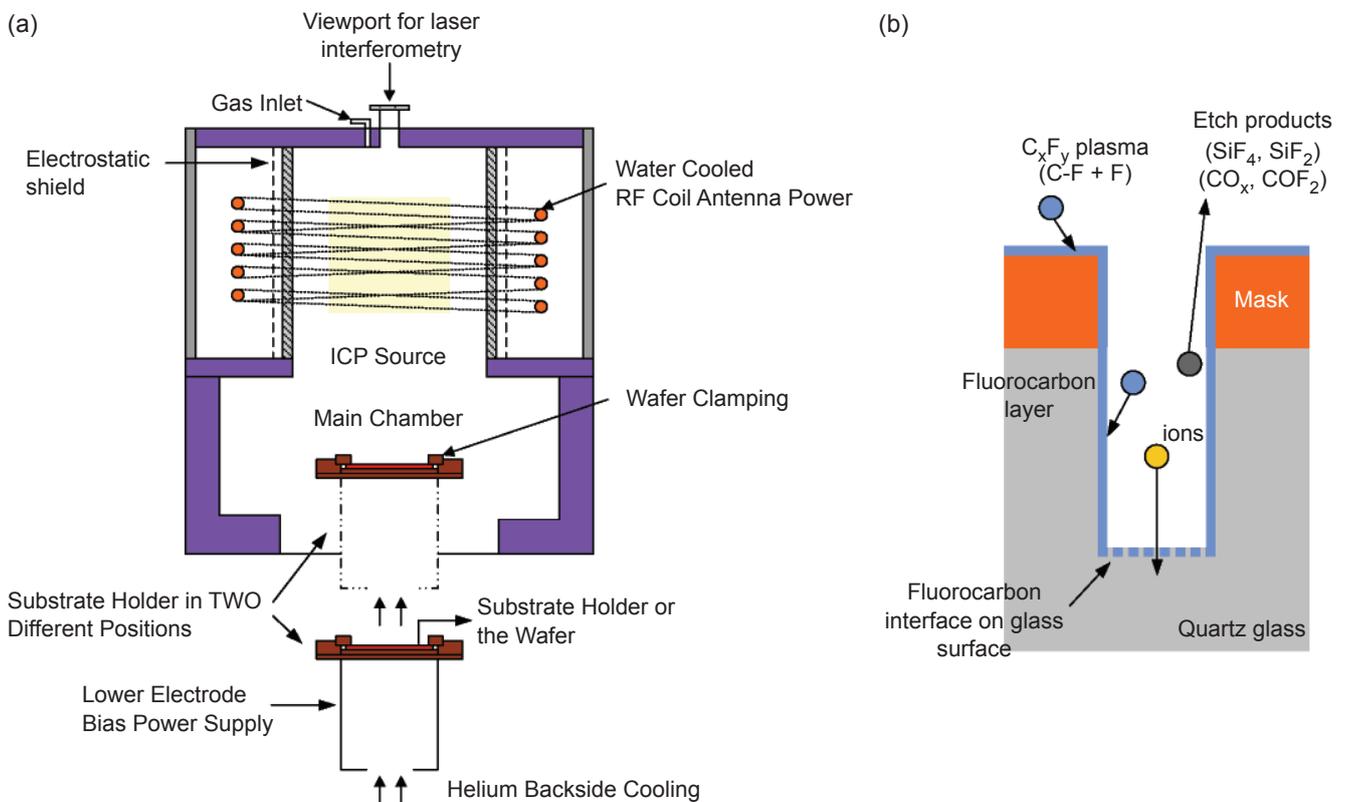


圖 2. 玻璃穿孔導線架構之示意圖。

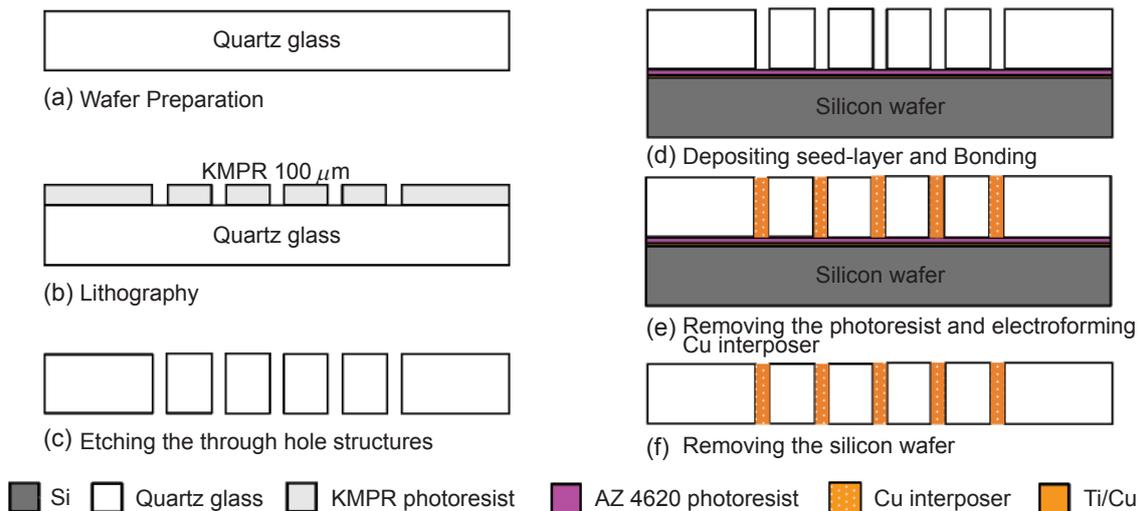


圖3. 玻璃穿孔導線架構之示意圖。

刻設備為 Oxford ICP 380 系統，此系統之製程氣體以  $C_4F_8$  為主， $C_4F_8$  氣體的分解可透過感應耦合電漿 (RF) 方式形成高密度的自由基 (如 F,  $CF_2$ ,  $CF_3$ ) 及離子 (如  $CF^+$ ,  $CF_2^+$ ,  $CF_3^+$ )<sup>(9)</sup>。

本實驗製程流程如圖 3 所示，本實驗使用之晶片為四吋石英玻璃基板，厚度包括 150、300 及 500  $\mu m$ ，如圖 3(a) 所示，分別使用  $H_2SO_4:H_2O_2=4:1$  的清洗液、丙酮 (acetone) 及異丙醇 (isopropyl alcohol)，各以超音波震盪器震洗 10 min。隨後經由厚膜光阻 (SU-8 2100, Microcosm Inc.) 微影製程，在石英玻璃基板上定義 50、75、100、150、200 及 300  $\mu m$  直徑之孔洞及溝槽結構，形成蝕刻遮罩如圖 3(b) 所示。完成蝕刻遮罩後，將定義好的晶片置於感應耦合電漿離子蝕刻機台內，並使用  $C_4F_8/He:24/84$  sccm 二種氣體混合比下，在定壓 2.5 mTorr、ICP 蝕刻功 3000 W 與 RF 蝕刻功 200 W 之條件下，將石英玻璃基板蝕刻至穿孔，如圖 3(c) 所示；在矽基板上濺鍍鉻／銅金屬 (20/200 nm) 當作電鑄起始層，並旋塗 AZ 4620 光阻，加熱 95 °C 軟烤 10 秒鐘後，與玻璃穿孔基板做熱壓接合，如圖 3(d) 所示；利用曝光機在接合之矽與玻璃基板進行曝光，顯影後露出可導電之孔洞結構，即電鑄填充銅導線製程，如圖 3(e) 所示；最後把晶片置於丙酮溶液中，將矽與玻璃基板分離，以完成玻璃穿孔導線製程。本論文探討以最佳蝕刻參數製作對不同蝕刻時間所造成蝕刻深度之影響；比較

不同蝕刻遮罩及玻璃基板厚度，對蝕刻製程效率及穿孔形貌之影響。實驗結果利用電子顯微鏡 (SEM; Hitachi S-4300) 觀察蝕刻後之表面形貌。

### 三、實驗結果與討論

#### 1. 改變蝕刻時間對蝕刻深度之曲線關係

針對不同蝕刻製程參數影響，根據實驗最佳參數，選定以上電極功率 3000 W、下電極功 200 W、腔體壓力 2.5 mTorr、 $C_4F_8/He$  流量為 24/84 sccm 與蝕刻時間 480 分鐘，作為製作溝槽結構製程參數。如圖 4 所示，為不同蝕刻時間對蝕刻深度之曲線圖，發現隨著蝕刻時間增加，蝕刻深度也相對增加，即當蝕刻時間為 60 分鐘時，蝕刻深度為 22  $\mu m$ ；當蝕刻時間增加至 240 分鐘時，蝕刻深度增加為 101.5  $\mu m$ ；當蝕刻時間增加至 480 分鐘時，蝕刻深度增加為 195.5  $\mu m$ ，由曲線圖計算，可得到平均蝕刻率為 0.408  $\mu m/min$ ，實驗結果可得到最佳側壁垂直度約 89° 與蝕刻選擇比約 1:2。

#### 2. 驗證圓柱及溝槽結構對蝕刻之表面形貌影響

圖 5 為驗證以最佳參數蝕刻開放形結構，討論長蝕刻時間對表面形貌之影響，蝕刻時間平均為 8 小時，由圖 5(a) 可知蝕刻後圓柱直徑、深度與深寬比約為 150  $\mu m$ 、200  $\mu m$  與 1.33，發現蝕刻後圓

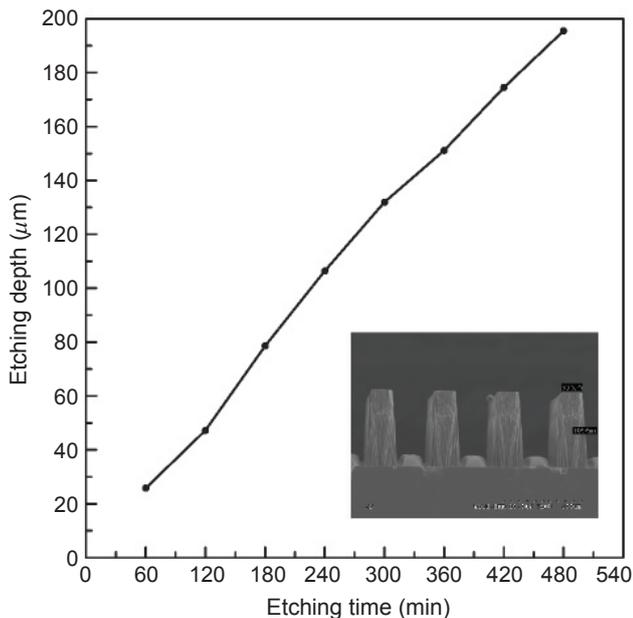


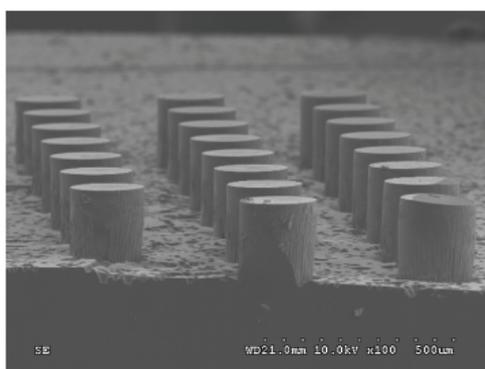
圖 4. 在石英玻璃最佳蝕刻參數 (上電極功率為 3000 W、下電極功率為 200 W、腔體壓力為 2.5 mTorr、 $C_4F_8$  流量為 24 sccm 及 He 流量為 84 sccm)，比較不同蝕刻時間對石英玻璃蝕刻之深度曲線圖。

柱形貌與設計尺寸差異不大，具有優異之尺寸控制能力，但圓柱以外之蝕刻轟擊區域呈現雜草樣態，主因是開放形結構蝕刻區域過大且無蝕刻遮罩保護，故造成電漿長時間轟擊所產生雜草形貌。圖 5(b) 為蝕刻後溝槽直徑、深度與深寬比約為 55  $\mu\text{m}$ 、211  $\mu\text{m}$  與 3.84，發現蝕刻後溝槽形貌較原

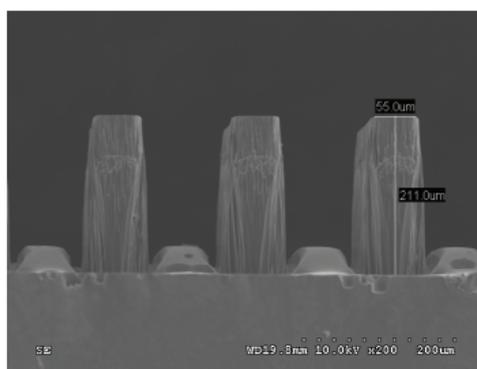
先設計直徑增加 5  $\mu\text{m}$ ，且溝槽底部兩側有凹陷現象，由於蝕刻時溝槽結構兩側之尖角，會使電漿密度集中在此區域，故造成兩側區域蝕刻較深之尖角形貌。

### 3. 比較不同蝕刻遮罩、結構尺寸及玻璃基板厚度對蝕刻速及穿孔形貌影響

第一點實驗設計三種玻璃基板厚度，包括 150、300 與 500  $\mu\text{m}$  等厚度，目的是為了探討蝕刻效率，增加蝕刻速率，並提升玻璃穿孔品質，達到最佳化製程驗證；第二點實驗設計兩種不同蝕刻遮罩，包括鎳鈷 (Ni-Co) 金屬及 SU-8 負形光阻，為了比較蝕刻遮罩對玻璃蝕刻之選擇比，增加蝕刻選擇比之優點，除了可做到更細微線寬，並降低長蝕刻製程中腔體高溫對玻璃產生的熱應力影響，因為玻璃穿孔時，基板會變得相對脆弱與容易破裂；第三點實驗設計不同線寬尺寸之孔洞及溝槽結構，50、75、100、150、200 及 300  $\mu\text{m}$  等尺寸，確認製程能力可達到多少線寬。實驗結果發現 300 與 500  $\mu\text{m}$  之基板厚度，使用最佳蝕刻參數製作，達到穿孔時間分別需 12 及 16 小時，發現時間過久並不符合製程效益，故基板厚度以 150  $\mu\text{m}$  為主，蝕刻時間約 5.5 小時可符合實驗設計所需；Ni-Co 及 SU-8 蝕刻遮罩對玻璃之選擇比分別為 20 及 1.5，故實驗中所需 Ni-Co 及 SU-8 之厚度預估為 10 及 100 nm，實驗結果如下，當以 Ni-Co 作為蝕刻遮罩，蝕刻時間達 2 小時後，Ni-Co 會因電漿轟擊而



(a)



(b)

圖 5. 驗證開放性結構對蝕刻後之表面形貌影響之電子顯微鏡觀察圖: (a) 圓柱結構；(b) 溝槽結構。

試片溫度升高，導致 Ni-Co 遮罩產生應力與玻璃基板分離，並且多一道電鑄製程，所以在本實驗中 Ni-Co 遮罩不適用於穿孔玻璃製程。故建議以 SU-8 負形光阻作為蝕刻遮罩，此光阻具有堅固之化學鍵結且只需單一道黃光製程優點，以提升穿孔製程之良率。

圖 6(a) 與圖 6(b) 分別為 150  $\mu\text{m}$  厚玻璃基板蝕刻穿孔後之電子顯微鏡上視圖，穿孔蝕刻後之孔洞直徑分別為 50 及 100  $\mu\text{m}$ ；圖 6(c) 與圖 6(d) 分別為 300  $\mu\text{m}$  厚玻璃基板蝕刻穿孔後之電子顯微鏡上視圖，穿孔蝕刻後之孔洞直徑分別為 150 及 200  $\mu\text{m}$ ；圖 6(e) 與圖 6(f) 為 150  $\mu\text{m}$  厚玻璃基板蝕刻

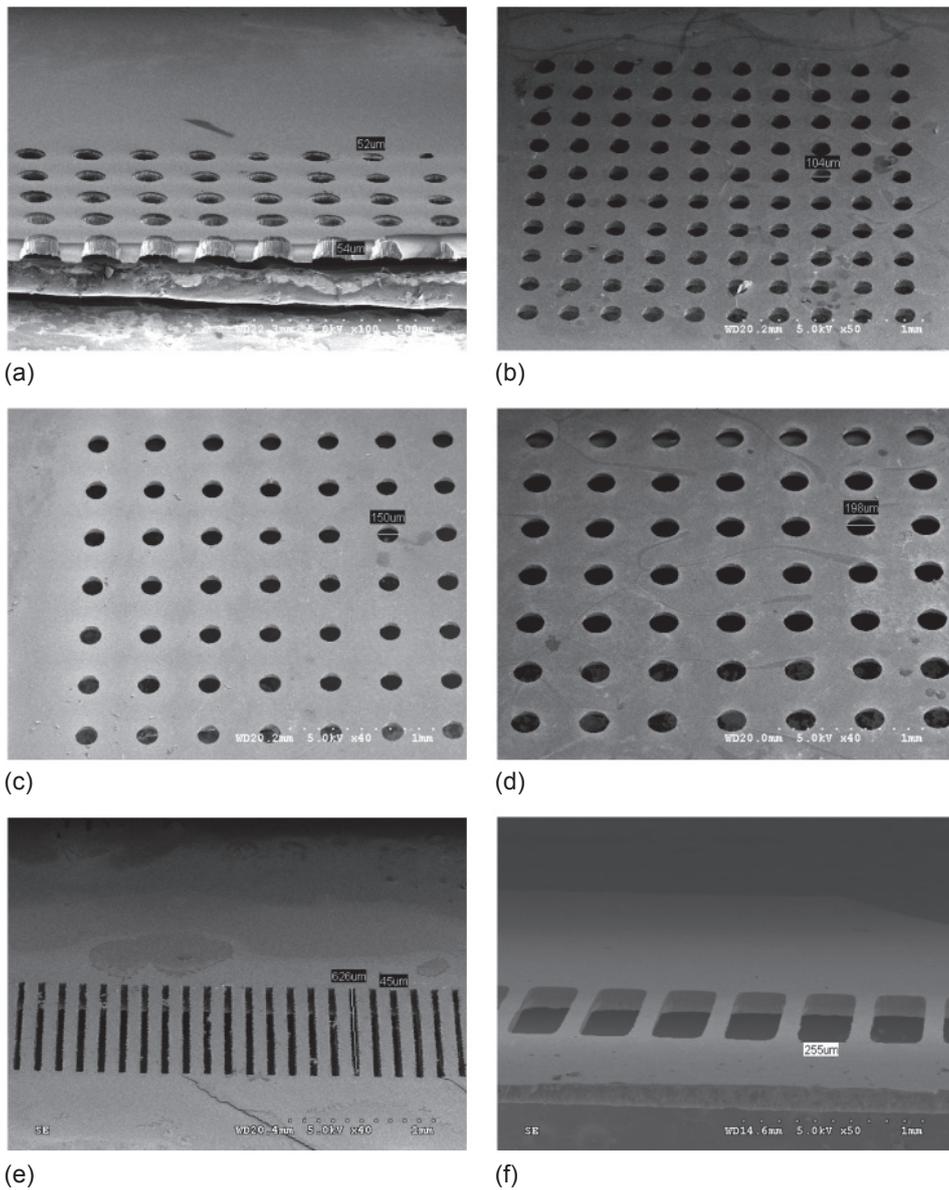
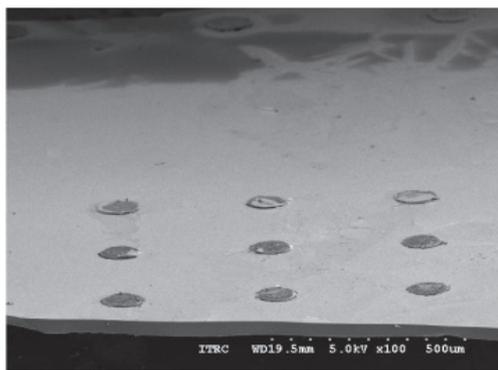
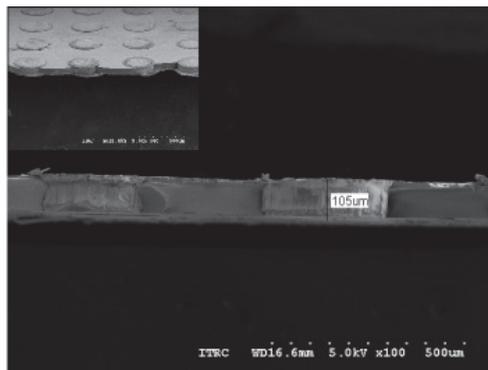


圖 6. 比較不同結構尺寸及玻璃基板厚度對蝕刻速 及穿孔形貌影響之電子顯微鏡觀察圖: (a) 直徑 50  $\mu\text{m}$  孔洞及厚度 150  $\mu\text{m}$  基板；(b) 直徑 100  $\mu\text{m}$  孔洞及厚度 150  $\mu\text{m}$  基板；(c) 直徑 150  $\mu\text{m}$  孔洞及厚度 300  $\mu\text{m}$  基板；(d) 直徑 200  $\mu\text{m}$  孔洞及厚度 300  $\mu\text{m}$  玻璃；(e) 線寬 50  $\mu\text{m}$  溝槽；(f) 線寬 250  $\mu\text{m}$  溝槽。



(a)



(b)

圖 7. 完成 TGV 結構之穿孔電鑄填充製程: (a) 上視圖; (b) 側視圖。

穿孔後之電子顯微鏡上視圖，穿孔蝕刻後之溝槽直徑分別為 50 及 250  $\mu\text{m}$ 。由上述實驗結果發現線寬尺寸從 50–250  $\mu\text{m}$  皆可達到設計值，代表符合製程能力範圍所需之規格，但從圖中看出結構邊緣有鋸齒狀現象，且試片表面粗糙度不佳，後續會由製程參數及蝕刻遮罩厚度作調整，以增加蝕刻速率，降低表面粗糙度，達到最佳化製程品質。

在本研究中利用感應耦合電漿離子蝕刻 (ICP-RIE) 在石英玻璃晶片上進行直徑 100  $\mu\text{m}$ 、深度 100  $\mu\text{m}$  之 TGV 結構穿孔，接著利用電鑄由下往上 (bottom up) 的方式將 TGV 完整填滿銅金屬，如圖 7 所示，可以成功地製作具有光滑側壁與無空隙填充的 TGV 穿孔結構。

#### 四、結論

本研究主要開發穿孔玻璃導線製程，實驗以  $\text{C}_4\text{F}_8/\text{He}$  混和氣體為蝕刻電漿，對石英玻璃進行穿孔結構製作，並比較不同厚度之玻璃基板對穿孔表面形貌及製程效率之影響，與探討改變蝕刻遮罩 (金屬及厚膜光阻) 對表面形貌、蝕刻率及側壁垂直度等影響。實驗結果以最佳參數製程可得到一最快蝕刻速率約為 0.408  $\mu\text{m}/\text{min}$ ，蝕刻穿孔後深度可達 150 及 300  $\mu\text{m}$ 、線寬尺寸製程能力可達 50-300  $\mu\text{m}$ 、側壁垂直度可達 89° 及蝕刻選擇比可達 1:2，期望此研究能提供玻璃穿孔製程技術所需之參考依據。

#### 參考文獻

1. J. Y. Lee, S. W. Lee, S. K. Lee, and J. H. Park, *J. Micromech. Microeng.*, **23**, 085012 (2013).
2. J. Y. Lee, S. K. Lee, and J. H. Park, *Electron. Lett.*, **48**, 1076 (2012).
3. N. Khan, Y. Seung-Wook, A.G.K. Viswanath, V.P. Ganesh, R. Nagarajan, D. Witorsa, S. Lim, and K. Vaidyanathan, *IEEE Trans. Adv. Packag.*, **31**, 44 (2008).
4. V. Sukumaran, Q. Chen, F. Liu, N. Kumbhat, T. Bandyopadhyay, H. Chan, S. Min, C. Nopper, V. Sundaram, and R. Tummala, *Electronics Components and Technology Conference (ECTC)*, 2010 Proceedings 60th, 602 (2010).
5. S. Takahashi, K. Horiuchi, S. Mori, K. Tatsukoshi, M. Ono, M. Mikayama, N. Imajo, and T. Mobley, *Microelectronics Packaging Conference (EMPC)*, 1 (2013).
6. V. Sukumaran, T. Bandyopadhyay, V. Sundaram, and R. Tummala, *IEEE Trans. Compon. Packag. Manuf. Technol.*, **2.9**, 1426 (2012).
7. J. Y. Jin, S. H. Yoo, B. W. Yoo, and Y. K. Kim, *J. Nanoscience Nanotechnol.*, **12**, 5252 (2012).
8. X. Li, T. Abe, and M. Esashi, *J. Microelectron. Sys.*, **11**, 625 (2002).
9. K. Mohamed, M. M. Alkai, *Microelectron. Eng.*, **87**, 1463 (2010).



湯喻翔先生為國立台灣師範大學機電科技所碩士，現任國家實驗研究院儀器科技研究中心副研究員。

Yu-Hsiang Tang received his M.S. in mechatronic engineering from National Taiwan Normal University. He is currently an associate researcher at Instrument Technology Research Center, National Applied Research Laboratories.



蕭銘華先生為國立中興大學材料科學與工程學系博士，現任國家實驗研究院儀器科技研究中心研究員兼生醫平台與育成組副組長。

Ming-Hua Shiao received his Ph.D. in material science and engineering from National Chung Hsing University. He is currently a research fellow and deputy division director of Biomedical Platform and Incubation Services Division at Instrument Technology Research Center, National Applied Research Laboratories.



游智勝先生為國立清華大學工程與系統科學系碩士，現為國家實驗研究院儀器科技研究中心副研究員兼生醫平台與育成組組長。

Chih-Sheng Yu received his M.E. in engineering and system science from National Tsing Hua University. He is currently an associate researcher and the deputy division manager of biomedical platform and incubation services division at Instrument Technology Research Center, National Applied Research Laboratories.