

利用半導體儀器設備技術發展二維電子通道材料元件製程近況

The Investigation of 2D Channel Material Device in Semiconductor Process and Equipment Development by CMOS Manufacturing Technology

陳旻政

Min-Cheng Chen

本文將針對近五年來，新穎過渡性金屬硫屬化合物—二硫化鉬在半導體製程與元件發展近況做一簡單的介紹。首先就其利用半導體儀器設備技術相容的製備方法及特殊層狀薄膜表面處理方式探討其獨特的原子層級通道材料特性。然後就其在奈米電子元件應用上對於原子級通道尺寸、低電壓操作及三維堆疊發展方向進行說明。此半導體 CMOS 製程儀器設備相容的先進二維電子通道材料整合技術將可以為下世代非矽製程的奈米半導體製程技術帶來一可行的方案。

This paper will describe the novel MoS₂ material of transition-metal dichalcogenides, TMD in process and device development at recent five years. In the first, we will introduce its unique 2D layered material properties by CMOS compatible manufacturing technology in semiconductor solid growth method and special monolayer surface treatment process. Then we will discuss its atomic channel scale, low voltage operation and 3D stackable structure in nano electronic device application. This advanced 2D electronic channel material integration technique in nano semiconductor manufacturing will provide a possible solution for future next non-Si CMOS technology.

一、簡介

半導體製程技術隨著莫爾定律的演進，傳統矽通道材料已面臨物理微縮的極限，無法滿足 5 nm 技術節點以下半導體元件製造的要求。而除了我們所熟悉的非矽通道材料如鍺 (Ge)、銦化鎵砷 (InGaAs)，氮化鎵 (GaN) 等三五族傳統三維晶體高速通道材料之外，許多新穎的二維層狀電子材料

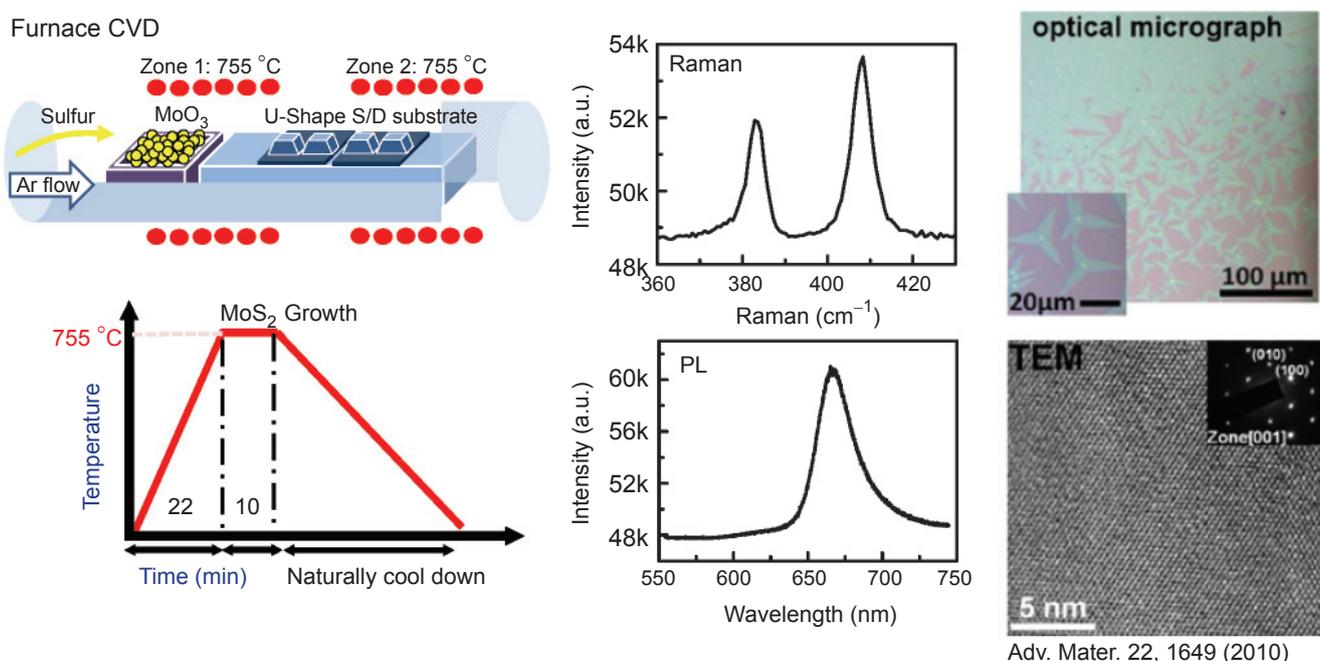
更是被廣泛討論。尤其二維電子通道材料具有理想幾乎無缺陷斷鍵的原子層狀結構，非常適合應用於未來 5 nm 以下的通道結構製程整合。雖然早期的二維電子材料石墨烯 (graphene) 具有超高電子傳輸遷移率；但是受限於載子能隙過小很難打開電晶體的開關比率。所以，許多新起的過渡金屬亞硫族 (transition metal dichalcogenides, TMD) 材料與半導體製程技術整合上的研究也如火如荼的被廣泛探

討。自從 2011 年第一顆二硫化鉬場效電晶體被瑞士洛桑聯邦理工學院的 A. Kis 博士提出以來⁽¹⁾，近五年來已有近 40 多種的過渡金屬亞硫族材料被提出於半導體應用上。本文將針對近幾年來利用先進的半導體儀器設備製程技術所開發的二硫化鉬二維電子通道材料於半導體製程技術及元件整合上的應用作一簡單的介紹。

二、單原子層化學氣相沉積製程

如同其他二維電子材料，早期二硫化鉬通道材料的製備方式主要還是以膠帶用撕的剝落 (exfoliation) 方式進行⁽²⁾。科學家們會從二硫化鉬塊狀晶體材料，用膠帶黏粘上數層原子層的二硫化鉬薄膜，然後再用另一塊膠帶將數層的二硫化鉬薄膜層減薄，直至單一原子層的二硫化鉬薄膜黏貼於膠帶上，然後再將其轉印到所需要的基板上。用撕的剝落方式，雖然從早期靠人工手動撕黏膠帶的方式轉變成高穩定適合軟性電子大尺度機械式的捲對捲 (roll-to-roll) 儀器設備製程技術方式⁽³⁾；但是機械式轉印的方式仍然很難控制到奈米尺度的精準度。於是，許多利用半導體儀器設備的製程方式紛紛被提出。分子束磊晶沉積方式 (molecular

beam epitaxy, MBE) 雖然可以有效提高原子層二硫化鉬晶格成長控制能力，但是反應室過小、磊晶速度過慢和超低溫成長環境都限縮了分子束磊晶製程技術在大量而穩定的商業量產應用上的可行性。但是，對於實驗室研究階段的高品質材料分析研究上，分子束磊晶沉積儀器設備製程技術方式確實提供了研發初期一種可行而穩定的製備方式。化學氣相沉積 (chemical vapor deposition, CVD) 儀器設備早已成為先進商業化半導體薄膜製備方式中一種不可取代的穩定製程技術，而沙烏地阿拉伯阿卜杜拉國王科技大學的台裔教授李連忠教授，於 2013 年成功地以化學氣相沉積儀器設備利用氧化鉬和硫粉經高溫氣化後成長出二硫化鉬的薄膜層狀結構⁽⁴⁾，並且成功地在藍寶石基板或矽晶圓表面上堆疊出單原子層狀二維電子通道層。從圖 1 的拉曼光譜 (Raman spectroscopy) 分析及表面穿透式電子顯微鏡 (transmission electron microscopy, TEM) 結構圖可以很清楚地發現，大面積、無缺陷的原子層級二硫化鉬薄膜層可以透過此先進半導體儀器設備製程技術來實現二維電子通道層在新穎異質材料整合上的應用。表 1 就此分析了這三種原子層二維電子通道材料儀器製備技術在材料成長特性、制備品質控制、CMOS 製程異質整合的比較。



Adv. Mater. 22, 1649 (2010)

圖 1. 二硫化鉬化學氣相沉積儀器製備技術方法示意圖，二硫化鉬原子層薄膜檢測分析結果。

	exfoliation	molecular beam epitaxy	chemical vapor deposition
growth method	top down	bottom up	bottom up
thickness control	bad	atomic monolayer	good
deposition area	local	small	large
process condition	simple	hard	—
substrate require	free	graphene	SiO ₂
thermal budget	room temp	very low (77K)	~600 °C
CMOS integration	no	hard	good

表 1. 各種原子層二維電子通道材料儀器製備技術方法比較表。

三、原子層表面電漿處理製程

傳統塊狀晶體的矽通道材料常藉由離子摻雜、沉積後退火及金屬矽化物等成熟的半導體儀器設備製程技術模組輕易地改質來調變矽通道材料的基本電、物特性表現。目前也已有許多二維電子材料的表面處理與改質技術紛紛被提出探討。為了達到晶圓尺度等級高穩定的超薄原子層通道薄膜，首先會藉由半導體成熟的原子層成長氣相沉積 (atomic layer deposition chemical vapor deposition, ALD/CVD) 儀器設備製程技術成長出高品質均勻的超薄過渡金屬氧化層或過渡金屬薄膜層，再藉由電漿輔助化學氣相沉積 (plasma enhanced chemical vapor deposition, PECVD) 儀器設備的電漿化製程技術將原先的過渡金屬氧化層硫化或硒化成欲堆疊的單原子層過渡金屬亞硫族二維電子通道層。新的研究文獻也已利用此表面電漿硒化處理技術，成功地整合製造出高品質的二硒化鎢和二硒化鉑等二維電子通道層⁽⁵⁾。目前二維電子通道材料所面臨的最大挑戰之一就是如何有效地降低通道原子層與金屬電極間的表面接觸阻抗，傳統矽半導體製程可以藉由低溫金屬化處理來形成超薄金屬矽化物，而有效降低金屬—半導體接面的接觸能障 (metal-semiconductor contact barrier)。為了有效打破原子層材料中特有的凡德瓦能隙 (van der Waals gap) 介面又不破壞到二維原子通道層中特有的層狀結構，許多原子層級離子摻雜⁽⁶⁾ 或表面電漿改質⁽⁷⁾ 方式也紛紛被提出，用於降低二維電子材料的金半接觸面能障。藉由遠距電漿系統 (remote plasma system)

儀器設備的低能量氬離子電漿處理可以將二硫化鉬中的硫元素還原成揮發氣態的硫化氫，因而提高鉬元素比例的原子層硫化鉬能有效改善其與後段金屬接觸的表面接觸阻抗⁽⁸⁾。從 X 射線光電子能譜 (X-ray photoelectron spectroscopy, XPS) 材料分析和四點探針電性量測結果可以清楚地發現經過氬離子電漿特殊處理的二硫化鉬可以藉由提升鉬金屬元素比例有效改善二維電子通道層與金屬電極間的表面接觸阻抗問題 (圖 2)。

四、奈米級二維電子通道元件結構

隨著莫爾定律不斷的微縮，短通道效應已經成為元件尺度能不能繼續微縮下去最大的關鍵因素⁽⁹⁾。雖然目前最先進的 10 nm 製程技術已經可以將圖案尺度微縮至 10 nm 以下，但是受限於越小的通道長度伴隨而來的短通道效應所產生的臨界漏電流卻是呈指數倍增。為了有效抑制晶片漏電流所造成不必要的功耗損失，傳統平面式矽通道電晶體元件的通道長度也只能放寬至 20 nm，難以繼續微縮下去。因此，元件通道長度是否能繼續微縮，已經成為下世代半導體製程技術開發的關鍵指標。而二維電子通道材料由於層跟層間距只有不到 1 nm 的間距且幾乎無缺陷的原子層狀結構非常適合 10 nm 以下的短通道元件開發。國家奈米元件實驗室 (National Nano Device Laboratories, NDL) 利用現有 CMOS 半導體製程設備中乾式蝕刻 (dry etching) 儀器設備的蝕刻表面精準控制能力，在矽薄膜源／汲極區域上蝕刻出通道尺寸僅 10 nm 的 U 型通

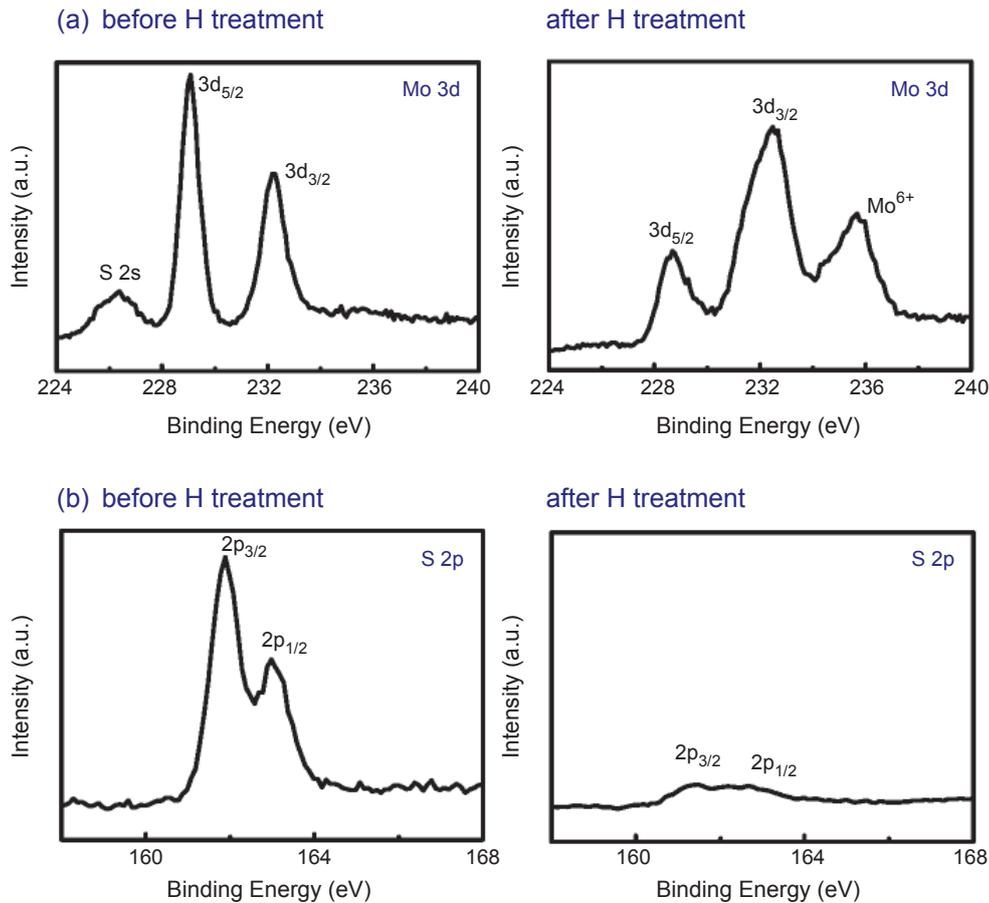


圖 2. 利用遠距電漿系統進行特殊氫電漿處理對超薄原子層二硫化鉬表面進行改質。

道間隙結構，如圖 3。接著利用前面所討論的化學氣相沉積儀器設備成長方式在 U 型通道區域上形成自我對準成長的 10 nm U 型通道二硫化鉬電晶體⁽¹⁰⁾，此研究結果也顯示出二硫化鉬電晶體可以輕易地微縮至 10 nm 以下。在此同時，麻省理工學院 (Massachusetts Institute of Technology, MIT) 的研究團隊也利用定向自組裝 (directed self-assembly, DSA) 的微影儀器設備製程技術，開發出閘極寬度僅有 7.5 nm 的二硫化鉬電晶體⁽¹¹⁾。目前最新的研究成果指出美國勞倫斯柏克萊國家實驗室 Ali Javey 教授的研究團隊也已利用奈米碳管 (carbon nanotube, CNT) 當作閘極控制電極，開發出全球最小的通道寬度—僅 1 nm 的二硫化鉬電晶體⁽¹²⁾，這些研究成果都證實了二硫化鉬通道材料對於奈米半電子元件微縮上的可行性。

五、三維積層型二硫化鉬鱗式電晶體元件設計

自從 2000 年美國加州大學柏克萊分校的胡正明院士發明了鱗式電晶體 (FinFETs) 立體通道結構⁽¹³⁾，目前 20 nm 以下的半導體製程技術皆引進此多重閘極三維立體通道結構，來改善奈米電子元件日益惡化的短通道效應。有別於其他研究團隊針對平面式元件結構的二硫化鉬電晶體開發研究，國家奈米元件實驗室和二維電子化學氣相沉積成長方式的專家李連忠教授及鱗式電晶體的發明人胡正明院士共同合作開發出全球第一顆三維積層型二硫化鉬鱗式電晶體元件⁽¹⁴⁾。首先，在矽基底鱗式電晶體製程平台上，將原先矽鱗通道結構設計成下閘極電壓控制電極，再形成下閘極氧化層，並利用低溫化學氣相沉積儀器設備製程技術在立體鱗式通道區域

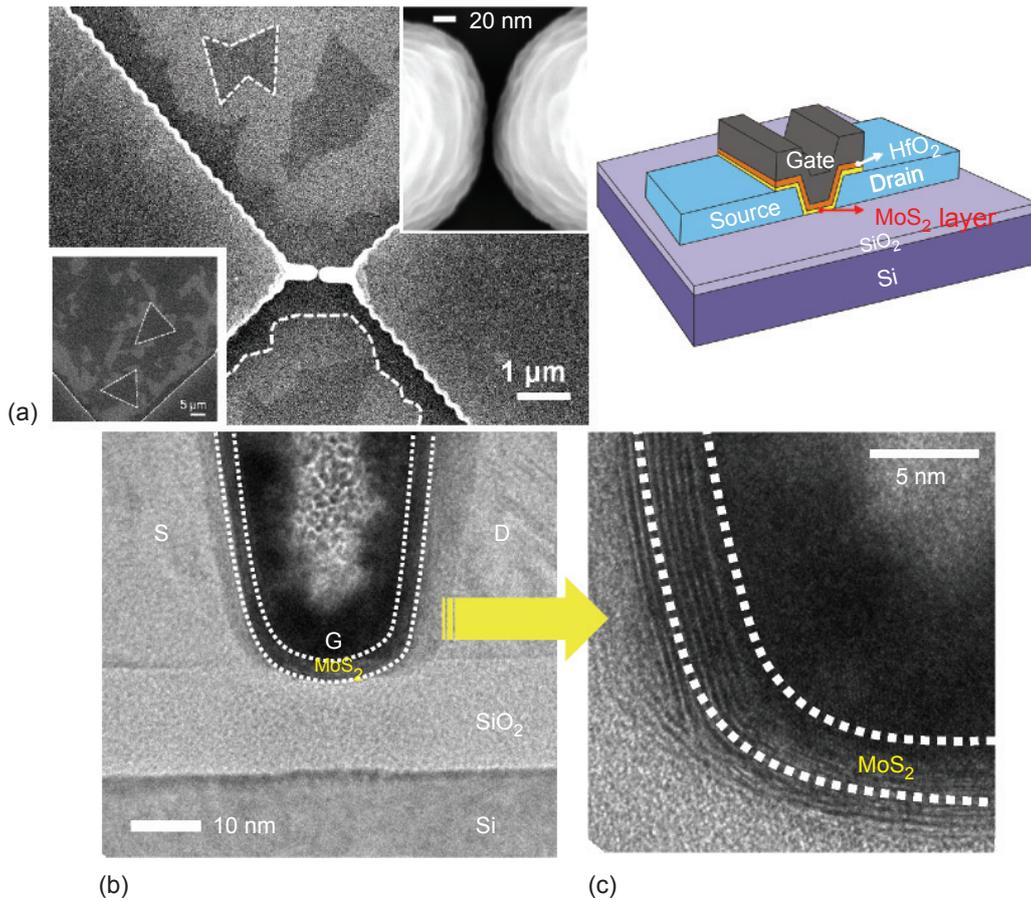


圖 3. 利用化學氣相沉積儀器製備技術方式成長於 10 nm 通道長度之 U 型二硫化鉬通道 TEM 結構圖。

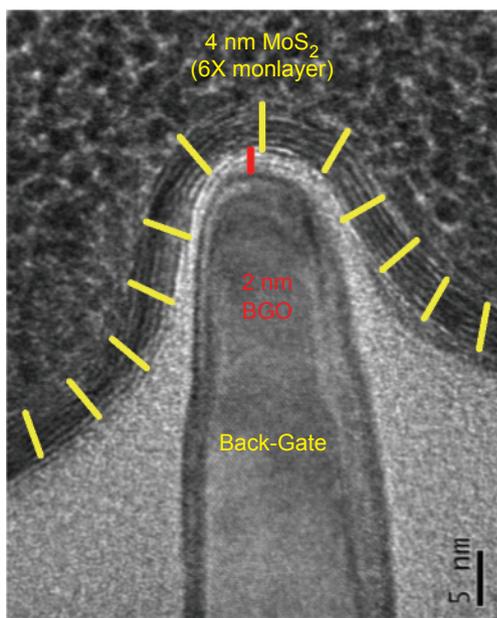


圖 4. 利用半導體製程相容的儀器所製備的超薄二硫化鉬二維電子鐮式電晶體通道 TEM 結構圖。

上成長出僅數層原子層的二硫化鉬二維電子通道薄膜層 (圖 4)。接著，再完成原先製程平台中高介電常數金屬閘極 (high k metal gate, HKMG) 上電極及通道與金屬接面表面處理等後續製程整合。此二硫化鉬鐮式電晶體甚至可以在僅單原子層情況下形成 0.7 nm 原子級的立體通道結構。另外，傳統矽鐮通道結構下的基底電壓難以對完全空乏基底通道區域調變控制。而此二硫化鉬鐮式電晶體可以藉由基底氧化層的隔離及特殊的下閘極控制操作設計來調整臨界導通電壓與降低漏電流 (圖 5)，因此，透過此 2 nm 超薄基底氧化層可以大幅改善上閘極控制的臨界電壓調整能力⁽¹⁵⁾。如前面討論所提，短通道效應所導致嚴重的臨界漏電流已經成為元件能不能繼續微縮下去最大的阻礙，而此雙閘極控制三維積層型二硫化鉬鐮式電晶體元件將可以在現有半導體儀器設備製程技術下提供未來下世代低功率非矽元件一種可行的製造技術。

六、結論

透過表 2 針對超薄過渡金屬亞硫族鰭式電晶體、傳統矽基底鰭式電晶體、超薄基底矽上絕緣層元件在操作特性的總結比較。過渡金屬亞硫族由於其超薄原子層結構與無缺陷層狀堆疊特性，能和目

前先進半導體製程技術整合相容。其奈米尺度的通道結構也已經被證實可以符合元件微縮技術的需求。而三維積層型超薄過渡金屬亞硫族鰭式電晶體元件結構，除了具備傳統鰭式電晶體在高效能電路元件操作時的超高驅動電流密度之外；也和超薄基底矽上絕緣層元件 (UTBSOI) 同樣具有低功率操作

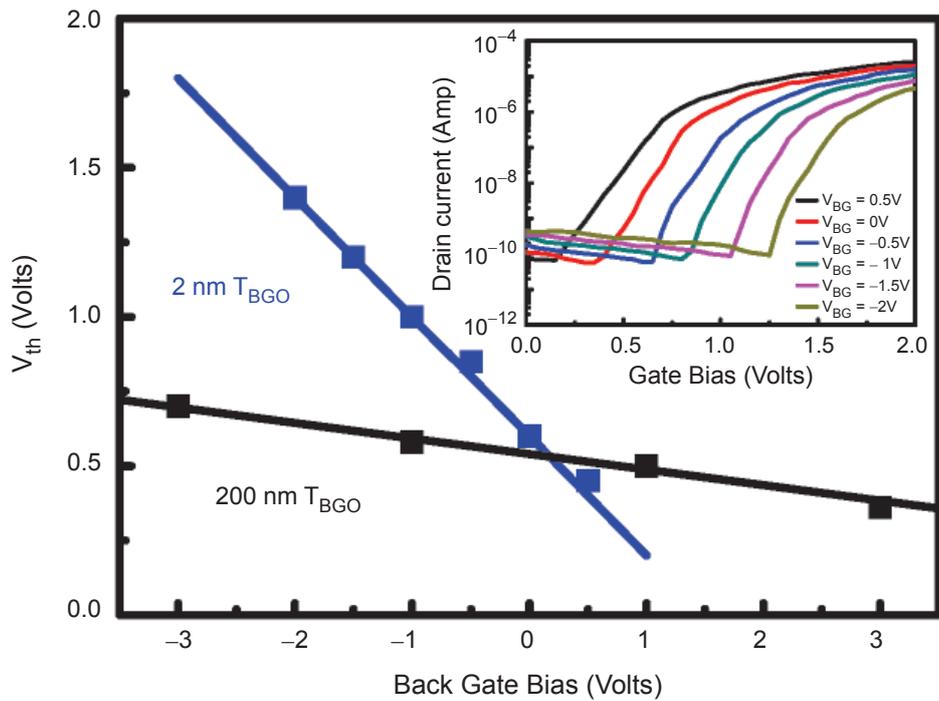
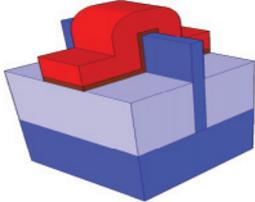
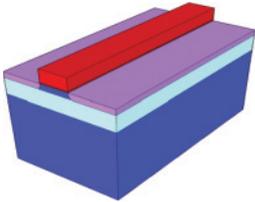
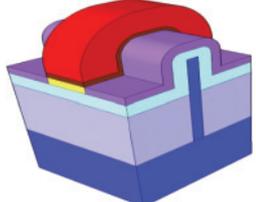


圖 5. 超薄二硫化鉬鰭式電晶體元件藉由下閘極電壓調變臨界導通電壓電特性控制圖。

表 2. 超薄過渡金屬亞硫族鰭式電晶體與傳統矽基底鰭式電晶體及超薄基底矽上絕緣層元件操作特性比較表。

	Bulk FinFET	UTBSOI/FDSOI	TMD FinFET
			
body formation	etching	bonding	CVD
W/footprint ratio	large	regular	large
back gate control	poor	good	excellent
scaling ability (node)	very good (> 5 nm)	good (> 10 nm)	excellent (> 2 nm)

的下閘極電壓控制設計能力，有效降低奈米電子元件在平常待命時的耗能損失。在現有半導體儀器設備製程技術下，藉由此過渡金屬亞硫族二維電子通道材料優異的製程整合和彈性的元件設計能力將能提供未來下世代非矽半導體的奈米 CMOS 製程技術一種可行的應用方案。

參考文獻

1. B. Radisavljevic et al., *Nature Nanotech*, **6**, 147 (2011).
2. A. K. Geim et al., *Nature Materials*, **6**, 183 (2007).
3. Taejun Choi et al., *IEDM Tech. Dig.*, 715 (2015).
4. Yi-Hsien Lee et al., *Adv. Mater.*, **24**, 2320 (2012).
5. Jeong-Gyu Song et al., *ACS Nano*, **7**, 11333 (2013).
6. Lingming Yang et al., *VLSI Symp. Tech.*, 238 (2014).
7. Min-Cheng Chen et al., *IEDM Tech. Dig.*, 831 (2015).
8. Chia-Chin Cheng et al., *Nano Energy*, available online 6 September (2016). <http://dx.doi.org/10.1016/j.nanoen.2016.09.010>
9. C. Hu, *VLSI-TSA.*, 1 (2012).
10. Kai-Shin Li et al., *VLSI Symp. Tech. Dig.*, 52, (2016).
11. A.Nourbakhsh et al., *VLSI Symp. Tech. Dig.*, 54, (2016).
12. Sujay B. Desai et al., *Science*, **354**, 99 (2016).
13. Digh Hisamoto et al., *IEEE Transactions on Electron Devices*, **47**, 2320 (2000).
14. Min-Cheng Chen et al., *IEDM Tech. Dig.*, 808 (2014).
15. S. Das et al., *Nano Letters*, **13**, 3396 (2013).



陳旻政博士為國立交通大學電子工程學系博士，現任國家奈米元件實驗室研究員，研究領域為先進半導體製程技術並擔任製程服務組組長。

Min-Cheng Chen received his Ph.D. in department of electrical engineering, National Chiao-Tung University. He currently works in National Nano Devoice Laboratories as a research fellow and serves as the Division Director of Fabrication Service Division. His interesting research activity is advanced semiconductor manufacturing.