

原子層沉積系統原理及其應用

The Principles and Applications of Atomic Layer Deposition

章詠滄、陳智、彭智龍

Yung-Huang Chang, Chih Chen, Chih-Lung Peng

最近原子層沉積 (ALD) 吸引著許多的注意，原因在於它傑出的沉積技術能力，例如幾乎 100% 的階梯覆蓋、精準的薄膜厚度控制、大面積薄膜的均勻性、優異的製程穩定度與低溫的製程。這些傑出的能力可歸功於跟傳統鍍膜技術不一樣的飽和化學吸附與自我限制的鍍膜機制。這篇文章將詳細介紹製程原理、儀器設備與半導體工業上的應用。

Atomic layer deposition (ALD) has attracted a lot of attention recently for its excellent deposition abilities, such as almost 100% step coverage, accurate thickness control, large area uniformity, excellent process stability, and low processing temperatures. These excellent abilities can be contributed to the mechanism of saturated chemisorption and self-limiting film deposition, which differs from traditional deposition technology. In this report, the growth mechanisms of ALD, instrumentation, and applications are described in details.

一、前言

原子層沉積 (atomic layer deposition, ALD) 技術是在 1970 年代由芬蘭的 Tuomo Suntola 博士和他的工作團隊⁽¹⁾ 為了製作高品質、大面積的電致發光薄膜 (thin film electroluminescence, TFEL) 平面顯示器而研發出來。ALD 有別於一般傳統化學氣相沉積 (chemical vapor deposition, CVD) 的成長方式，前驅物 (precursors) 依序地被引進反應腔體裡面，藉由前驅物在基材表面的飽和化學吸附 (saturated chemisorption) 及自我限制 (self-limiting) 的化學反應，將原子一層一層地堆疊起來，進行薄膜的成

長。而這種成長方式一開始被稱之為原子層磊晶 (atomic layer epitaxy, ALE)。由於這項沉積技術今日多使用於成長非晶與多晶的薄膜，是故又稱之為原子層沉積 (ALD) 或是原子層化學氣相沉積 (atomic layer chemical vapor deposition, ALCVD)。

在 1970 年代，原子層沉積技術被研究發展以來，由於緩慢的沉積速率不適用於當時產品，是故未受到重視。然而在半導體工業上，隨著積體電路的微小化、超薄薄膜製程的需要，這種有點緩慢的製程技術將不再是一個障礙了。IC 元件的持續微小化，使得半導體工業製程的材料及材料的製程技術上遇到了一個瓶頸：二氧化矽為主的閘極氧化層

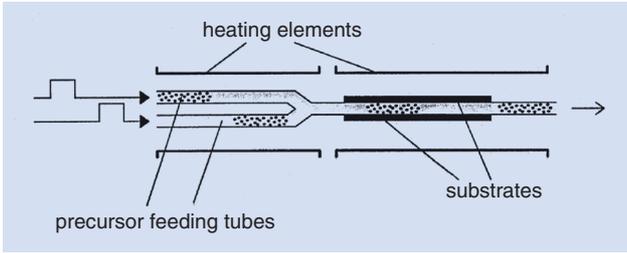


圖 1. 原子層沉積系統示意圖。不同前驅物藉由不同的導管引進反應腔體。

很快的就達到薄膜厚度的極限，需要被一個高介電常數的金屬氧化物所取代；銅製程的展開，需要能夠在溝渠內沉積高階梯覆蓋率、高品質的超薄薄膜；深溝式動態隨機記憶體 (DRAM) 電容器，亦需新的介電質材料及新的高深寬比沉積技術。傳統薄膜製程技術：濺鍍 (sputtering)、化學氣相沉積 (CVD)、電漿輔助化學氣相沉積 (PECVD) 及有機金屬化學氣相沉積 (MOCVD) 等，因為薄膜階梯覆蓋能不足、製程溫度太高、薄膜品質不佳…等等原因，已經無法滿足製程上的需求。而原子層沉積 (ALD) 具備幾乎 100% 的階梯覆蓋能力、低溫製程、高品質薄膜沉積技術及精準的膜厚控制，使得原子層沉積系統逐漸受到重視，並為未來的薄膜沉積技術開啟嶄新的一頁。

二、原子層沉積技術之原子技術

原子層沉積技術是將要參與反應的前驅物藉由不同的前驅物導管，如圖 1 所示，一次只通入一種前驅物的方式，依序地將前驅物導引至反應腔體。並藉由基材表面飽和化學吸附，一次只吸附一層前驅物，過多的前驅物及副產物將由鈍氣 Ar 或 N₂ 沖洗 (purge) 帶走，以達自我限制。如圖 2 所示，一個基本的原子層沉積循環包括四個步驟：

1. 第一前驅物將被導引至基材表面，化學吸附的過程直至表面飽和時就自動終止。
2. 鈍氣 Ar 或 N₂ 注入，沖洗帶走過多的第一前驅物及副產物。
3. 第二前驅物注入，並和化學吸附於基材表面的第一前驅物反應生成所需薄膜，反應的過程直至吸附於基材表面的第一前驅物反應完成為止。
4. 鈍氣 Ar 或 N₂ 注入，沖洗帶走過多的第二前驅物及副產物。

這種反應過程：第一前驅物注入、沖洗、第二前驅物注入、沖洗，稱之為一個循環 (cycle)。而一個循環所需的時間即是第一、二前驅物的注入時間加上兩個沖洗時間的總和，如圖 3 所示。因此整個反應的時間便是循環數乘以一個循環的時間。典型的第二前驅物是揮發性的金屬化合物，如表 1 所

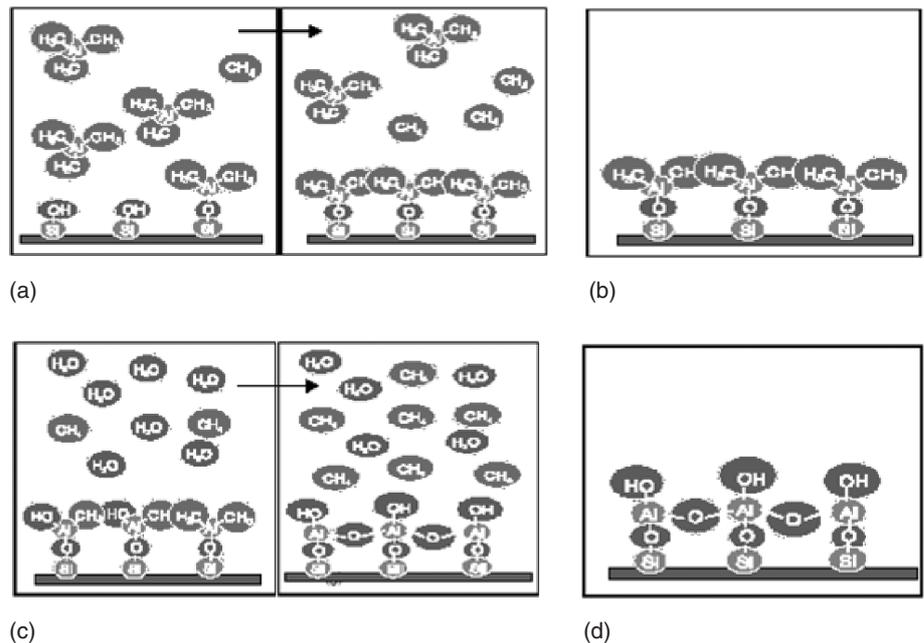


圖 2. 原子層沉積四個步驟，(a) 第一前驅物引進 (b) 沖洗 (c) 第二前驅物引進 (d) 沖洗。

表 1. 原子層沉積 (ALD) 金屬化合物前驅物。

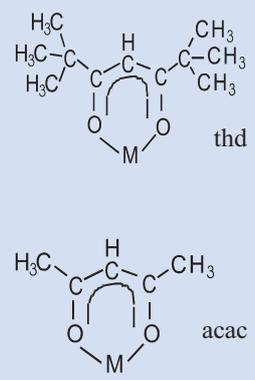
Chlorides and oxychlorides:	Beta-diketonates:	
AlCl ₃ , TiCl ₄ , ZrCl ₄ , HfCl ₄ , ZnCl ₂ , WOCl ₄ , MoCl ₅ , CrOCl ₂ , CuCl, SiCl ₄ , TaCl ₅ , InCl ₃	Y(thd) ₃ , Zr(thd) ₄ , Hf(thd) ₄ , La(thd) ₃ , Ce(thd) ₄ , Cu(thd) ₂ , Mn(thd) ₃ , Mg(thd) ₂ , Sr(thd) ₂ , Pd(thd) ₂ , Ni(thd) ₂ ,	
Alkylmetals:		
Al(CH ₃) ₃ , Al(CH ₂ CH ₃) ₃ , Zn(CH ₃) ₂ , Zn(CH ₂ CH ₃) ₂	Cr(acac) ₃ , Ni(acac) ₂ , Al(acac) ₃ , Co(acac) ₂ , Co(acac) ₃ , In(acac) ₃	
Metalloenes:		
ZrCp ₂ Cl ₂ , TiCp ₂ Cl ₂ , NiCp ₂		
Alkoxides:		
Ti(OCH(CH ₃) ₂) ₄ , Ta(OC ₂ H ₅) ₅ , Nb(OC ₂ H ₅) ₅		
Others:		
(CH ₃) ₃ SiNHSi(CH ₃) ₃		

表 2. 原子層沉積 (ALD) 的沉積薄膜材料⁽²⁾。

III-V compounds	GaAs, Gap, InP, InAs, AlAs, Ga _x In _{1-x} As, Al _x Ga _{1-x} As, Ga _x In _{1-x} P
II-VI compounds	CaS, ZnS, ZnSe, ZnTe, SrS, BaS, CdS, CdTe, MnTe, HgTe, Ce, Tb, Hg _{1-x} Cd _x Te, ZnS _{1-x} Se _x , Cd _{1-x} Mn _x Te, ZnS:M(M=Mn, Tb, Tm), CaS:M(M=Eu, Pd), SrS:M(M=Ce, Pb, Tb)
Oxides	Al ₂ O ₃ , TiO ₂ , ZnO, ZrO ₂ , HfO ₂ , Ta ₂ O ₅ , Nb ₂ O ₅ , Y ₂ O ₃ , MgO, CeO ₂ , SiO ₂ , SnO ₂ , In ₂ O ₃ , Ga ₂ O ₃ , SnO ₂ :Sb, In ₂ O ₃ :Sn, ZnO:Al, In ₂ O ₃ :F, In ₂ O ₃ :Zr, YBa ₂ CuO _{7-x}
Nitrides	AlN, GaN, InN, SiN _x , TiN, TaN, NbN, MoN
Fluorides	CaF ₂ , SrF ₂ , ZnF ₂
Elements	Al, Si, Ge, Cu, W, Ru, Pt, Ni, Ti, Ta,
Others	La ₂ S ₃ , PbS, In ₂ S ₃ , CuGaS ₂ , SiC

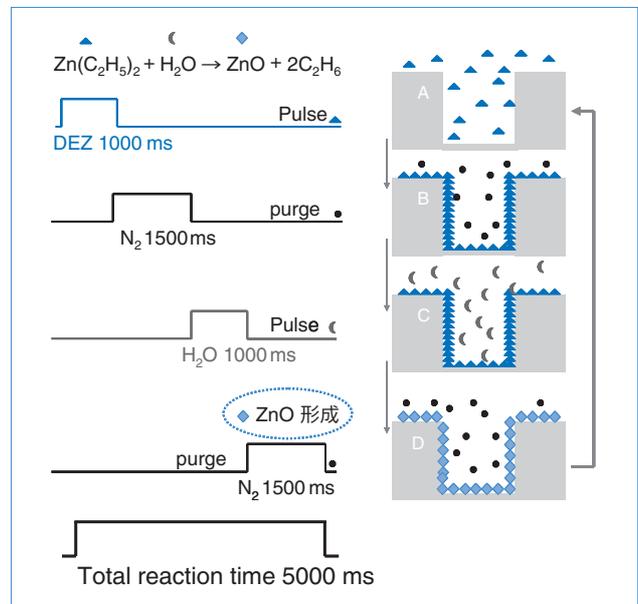


圖 3. 一個循環時間等於第一二前驅物的脈衝時間加上兩個沖洗時間。

示；第二前驅物大多是 H₂O, NH₃ 或 O₃ 的非金屬化合物。而原子層沉積系統可以鍍的薄膜種類如表 2 所示⁽²⁾。對於一般前驅物須滿足下列一些要求⁽³⁾：

1. 在反應溫度下要有足夠的揮發性。
2. 在反應溫度下不會發生前驅物自我分解、凝結及脫離。
3. 在表面積材上，前驅物必須擁有良好的化學吸附性。
4. 足夠的活性可以跟 H₂O、NH₃ 或 O₃ 反應。

5. 不會對基材產生蝕刻現象。
6. 合理的價格。

為達到原子層沉積自我限制的一層一層堆疊，表面飽和對原子層沉積 (ALD) 而言是一項重要的沉積條件，因此以下將對表面飽和做進一步的描述。

1. 基材表面必須提供能和第一前驅物 (金屬化合物) 進行化學性吸附反應的反應位子 (reactive sites)，而 -OH 和 -NH_x 為氧化物及氮化物表面主要的反

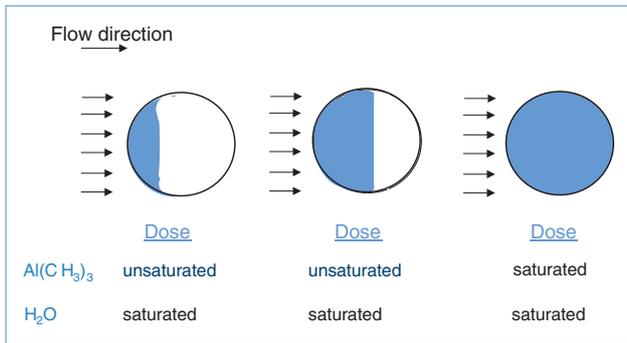


圖 4. 在固定且飽和的 H_2O 量之下， $\text{Al}(\text{CH}_3)_3$ 量之多寡對於 Al_2O_3 薄膜呈飽和狀態的影響。

應位點。當金屬化合物的前驅物吸附於表面形成吸附金屬複合物 (adsorbed metal complex) 時，這些吸附金屬複合物將成為第二前驅物 (非金屬化合物) 的反應位點。

2. 沉積過程的反應溫度必須適中，使得金屬化合物的前驅物不會產生分解及凝結等現象。當金屬化合物的前驅物注入於基材表面時，將和反應位點形成共價鍵，亦即形成化學性吸附，因而生成吸附金屬複合物。在反應溫度下，吸附金屬複合物必須不會有脫離的現象，且須有足夠的活性與第二前驅物進行反應。而吸附金屬複合物只是吸附於基材表面，並未破壞其完整的化學結構。
3. 當金屬化合物的前驅物和反應位點完全反應形成吸附金屬複合物達到飽和時，化學性吸附反應將自動停止。因為對第一前驅物 (金屬化合物) 而言，在表面形成的吸附金屬複合物將不能成為反應位點，是故，整個反應是自我限制的，因而可以一層一層地堆疊原子。
4. 為了達到表面飽和吸附，前驅物的量必須足夠。如圖 4 所示，在原子層沉積機制反應下，前驅物的氣流平行於基材表面。當 $\text{Al}(\text{CH}_3)_3$ 的量不足夠，不能夠充滿整個基材表面時，即使擁有足夠量的 H_2O ，基材表面只有小部分被 Al_2O_3 覆蓋。當 $\text{Al}(\text{CH}_3)_3$ 的量漸增加時， Al_2O_3 覆蓋的面積亦隨之增加，直到擁有足夠量的 $\text{Al}(\text{CH}_3)_3$ 時，基材表面才會完全被 Al_2O_3 覆蓋。
5. 為了確定有足夠量的前驅物以達到表面飽和吸附，因此會有過量的前驅物被注入反應腔體。剩餘的前驅物及反應的副產物必須完全被帶離反應

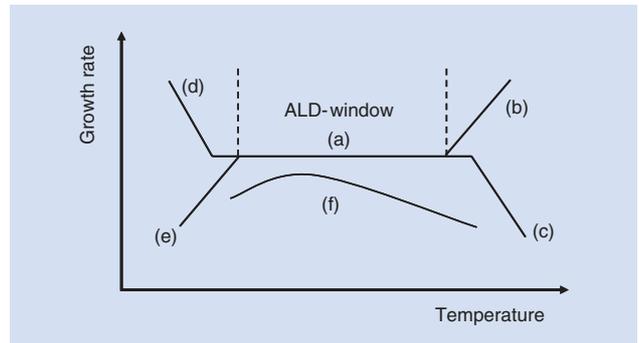


圖 5. 原子層沉積窗口 (ALD-window)，描述表面薄膜成長過程速率跟溫度的關係。

腔體，原子層沉積 (ALD) 系統方能成長高品質的薄膜，因此必須有足夠量的鈍氣 Ar 或 N_2 注入沖洗反應腔體。

在原子層沉積模式，Suntola 博士提出「原子層沉積窗口 (ALD-window)」⁽⁴⁾，描述表面薄膜成長過程的速率與溫度的關係，如圖 5 所示。在原子層沉積窗口，薄膜沉積速率是固定的，不隨溫度改變，而通常無機金屬前驅物比有機金屬前驅物有較大的原子層沉積窗口，如圖 5 曲線 (a)。但是在原子層沉積窗口外，前驅物會隨著溫度的高低有分解 (decomposition)、脫離 (desorption)、凝結 (condensation) 及化學反應性不足 (insufficient reactivity) 等現象，使得薄膜沉積速率隨溫度而改變。分解發生在高溫製程，前驅物因高溫導致分解造成鍍率升高，如圖 5 曲線 (b)；脫離發生在高溫製程，前驅物因高溫導致脫離基材表面造成鍍率降低，如圖 5 曲線 (c)；凝結發生在低溫製程，前驅物因低溫在基材表面凝結或形成錯合物造成鍍率升高，如圖 5 曲線 (d)；化學反應性不足發生在低溫製程，前驅物因低溫，導致化學反應性不足造成鍍率降低，如圖 5 曲線 (e)。

當基材表面提供的反應位點 (reactive sites) 隨著溫度改變時，薄膜成長速率亦隨溫度而改變，是故沒有固定的原子層沉積窗口，如圖 5 曲線 (f)。最近研究顯示沉積氧化層的有機金屬前驅物與表面反應位點有很高的化學反應性。這些表面反應位點大多由 $-\text{OH}$ 所構成，而 $-\text{OH}$ 的量隨溫度而變，因此薄膜成長速率亦隨溫度而改變。雖然沉積氧化層的有機金屬前驅物沒有良好的原子層沉積窗口，但是其

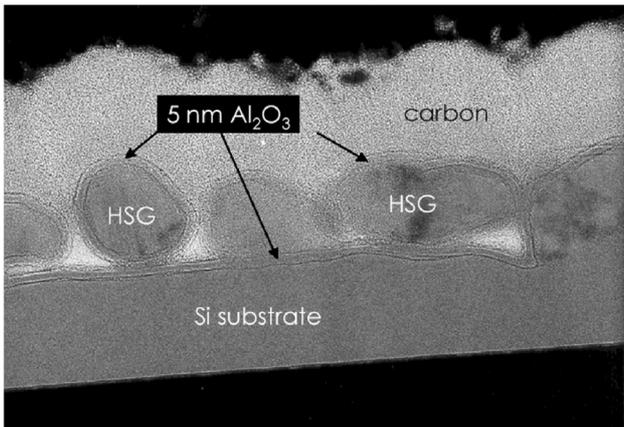


圖 6. Al₂O₃ 薄膜經原子層沉積 (ALD) 均勻地覆蓋在 HSG 表面上。

反應依然符合自我限制的沉積過程。大致上而言，多數原子層沉積 (ALD) 的工作溫度約 300 °C，而以無機金屬前驅物的原子層沉積窗口範圍可為 50–150 °C。例如 Al(CH₃)₃ 和 H₂O 的原子層沉積窗口範圍為 150–350 °C；ZrCl₄ 和 H₂O 的原子層沉積窗口範圍為 250–500 °C。

除了上述的因素會影響沉積速率之外，吸附金屬複合物所造成的空間障礙 (steric hindrance) 以及鍵結的模式都會影響沉積速率。一般而言，相較於較小的吸附金屬複合物，較大的吸附金屬複合物其成長速率比較慢。而前驅物除了會和一個反應位點產生鍵結之外，其同時還可能和 2 個或是 3 個反應位點產生鍵結，此情況依前驅物種類而定。是故，除了溫度之外，基材的表面性質、前驅物的種類亦會影響原子層沉積 (ALD) 的薄膜沉積速率。

三、原子層沉積 (ALD) 與化學氣相沉積 (CVD) 之比較

以下將對原子層沉積 (ALD) 和化學氣相沉積 (CVD) 之間的差異性舉列出來，如表 3 所示。

原子層沉積 (ALD) 之優缺點

原子層沉積 (ALD) 由於表面飽和化學性吸附及自我限制的反應機制，使得原子層沉積 (ALD) 擁有下列優缺點：

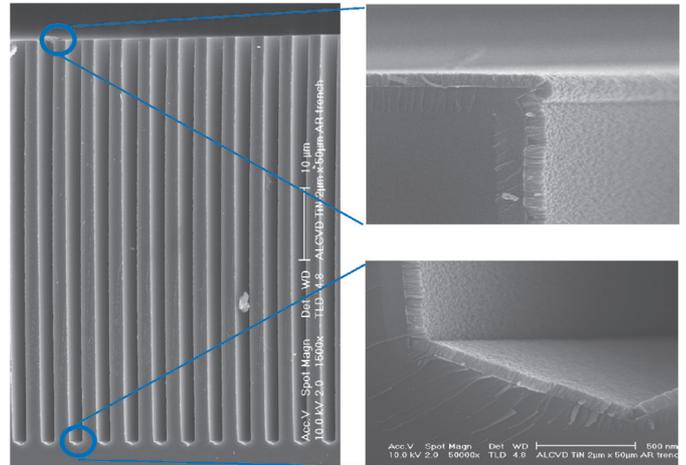


圖 7. TiN 薄膜均勻地覆蓋在 25:1 高深寬比的深溝渠內。

優點

1. 透過循環數的控制，可以精確地控制薄膜的厚度。
2. 由於表面飽和的機制，因此不需要控制前驅物流量的均一性。
3. 可生成高均勻性薄膜，如圖 6 所示。
4. 傑出的高深寬比的階梯覆蓋能力，如圖 7 所示均勻性的薄膜。

表 3. 原子層沉積與化學氣相沉積之間的差異。

原子層沉積 (ALD)	化學氣相沉積 (CVD)
1. 高活性的前驅物	1. 前驅物的活性較低
2. 前驅物依序進入反應空體	2. 前驅物同時進入反應空體
3. 反應機制為表面飽和化學性吸附及自我限制	3. 反應機制為成核原理
4. 在反應溫度下，前驅物不會發生分解	4. 在反應溫度下，前驅物會發生分解
5. 允許過量的前驅物進入反應空體，不會影響鍍膜厚度	5. 不允許過量的前驅物進入反應空體，會影響鍍膜厚度
6. 鍍膜的均勻性：表面由飽和化學性吸附及自我限制	6. 鍍膜的均勻性：反應物氣體流量的穩定性
7. 鍍膜厚度由反應的循環數所控制	7. 鍍膜厚度由前驅物的量所控制
8. 擁有較高的深寬比鍍膜能力及階梯覆蓋率	8. 深寬比鍍膜能力及階梯覆蓋率較差
9. 製程溫度較低	9. 製程溫度較高
10. 對溫度變化的容忍度較高	10. 對溫度變化的容忍度較低
11. 薄膜的品質較高	11. 薄膜的品質較低
12. 較高的製程穩定度	12. 製程穩定度比較低

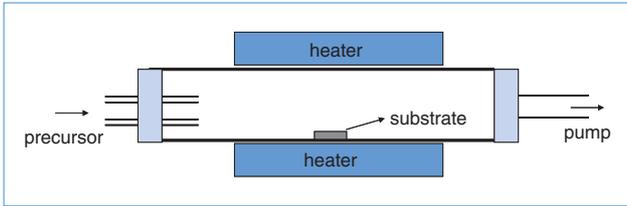


圖 8. 熱壁式 thermo ALD 系統示意圖。

5. 低溫製程 (室溫到 400 °C)。
6. 製程穩定度高。
7. 前驅物材料的研發，廣泛的適用於各種形狀的襯底。如：閘極氧化層、深溝式動態隨機記憶體 (DRAM)、電致發光顯示器絕緣體電容器及銅製程的擴散阻障層…等等。

缺點

1. 在一般製程溫度下，前驅物需要有良好的揮發性。
2. 沉積速率較低。
3. 在較低成長溫度時，會有較差的結晶性。

四、原子層沉積 (ALD) 之儀器設備

原子層沉積系統，以提供能量方式作為區分，大致上可以區分為兩種系統：一是加熱式原子層沉積系統 (thermo-ALD)，另一個是電漿式原子層沉積系統 (plasma enhanced-ALD, PE-ALD)。

1. 加熱式原子層沉積系統

此系統可以石英管為腔體，以電阻器通電為熱量來源，以電腦控制電磁閥門，將氣體以不同導管依序引進反應腔體內，如圖 8 所示。由於石英亦處於整個反應過程，因此石英管內壁亦會沉積薄膜，此種系統不但需耗費過多電力資源，而且管壁須時常拆裝清洗，實在不方便。因此為改善此狀況，圖 9 的原子層沉積系統便被研發出來。此系統有一金屬外腔體及石英內腔體，電阻器只設置在需要加熱的石英管下方，氣體只被引導至石英管內。是故，不但節省了電力，而且石英管拆裝容易，減少了腔體暴露時間，因而提高了腔體的潔淨度。

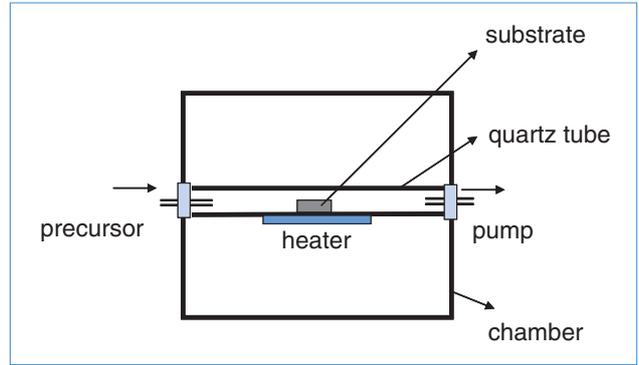


圖 9. 冷壁式 thermo ALD 系統示意圖。

2. 電漿式原子層沉積系統

此系統以傳統電漿輔助化學氣相沉積系統 (plasma enhanced chemical vapor deposition, PECVD) 為主體，以電腦控制電磁閥門，將氣體以不同導管依序引進反應腔體內，以射頻 (radio frequency, RF) 電源產生電漿，如圖 10 所示。雖然此製程所需溫度較加熱式原子層沉積系統低，但是電漿卻對第一前驅物進行分解，降低了薄膜階梯覆蓋率。而電漿製程需要較高的製程壓力，因而拉長了鈍氣的沖洗時間，因此為改善階梯覆蓋率降低的問題，圖 11 的電漿式原子層沉積系統便被研發出來。此系統除了主要的反應腔體之外，還有一產生電漿的石英腔體。第一前驅物直接進入主要反應腔體，未經電漿分解直接飽和吸附於材料表面，因而維持原本結構形成吸附金屬複合物，經沖洗把多餘的第一前驅物及副產物帶離腔體，然後第二前驅物進入石英腔

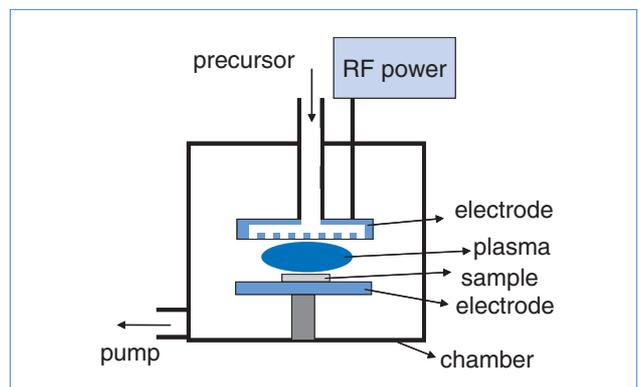


圖 10. 電漿式原子層沈積系統示意圖。

體，經電漿分解成活性物質 (reactive species) 再與吸附金屬複合物進行反應。由於活性物質生命週期短暫，亦發生在複合現象，因此其在高深寬比階梯覆蓋率的表現沒有加熱式原子層沉積系統來得好。

五、原子層沉積 (ALD) 之應用

由於原子層沉積 (ALD) 可精準地控制膜厚，幾乎可達 100% 的階梯覆蓋率及極高的薄膜均勻性，使得原子層沉積 (ALD) 不論是在微觀的奈米世界或是在奈米化的積體電路，均扮演著一舉足輕重的角色。以下將舉例一些應用。

1. 深溝式動態隨機記憶體之應用

積體電路逐漸奈米化之後，動態隨機記憶體的電容再也無法只依靠增加面積提高電容值。是故，為了提高電容值，除了尋找可取代的高介電係數材料之外，將電容結構由原本簡單的二維發展至複雜的三維亦是解決之道，即是深溝式電容結構或是圓柱堆疊式電容結構。但是欲在深溝式動態隨機記憶體沉積高均勻性薄膜並擁有高階梯覆蓋率，對傳統的製程而言將是一大挑戰。而具備高潛力的原子層沉積 (ALD)，就是解決問題的最佳方法。根據最近的研究顯示，運用原子層沉積技術，已經成功地将氧化鋁均勻地沉積於 60:1 深寬比的深溝式電容，並擁有近乎 100% 的階梯覆蓋率。此成功之舉，將為原子層沉積技術在積體電路上的應用開啟一道大門。

2. 場效電晶體閘極氧化層之應用

隨著積體電路元件的微小化，相對的金氧半場效電晶體 (MOSFET) 的閘極氧化層厚度亦隨之減小，伴隨而來的是閘極氧化層漏電的問題。當二氧化矽閘極的厚度縮小至 2 nm 時，已達到閘極尺寸設計上的極限。穿透效應 (tunneling effect) 所帶來的漏電議題，將隨著閘極厚度的縮小，使得漏電量大增。是故，高介電係數材料的研發，取代傳統的二氧化矽是勢在必行。而閘極在設計上也必須符合更多的要求，例如：較低的介面狀態 (interface-state)、硼擴散率及電荷散射，以提高電晶體承載

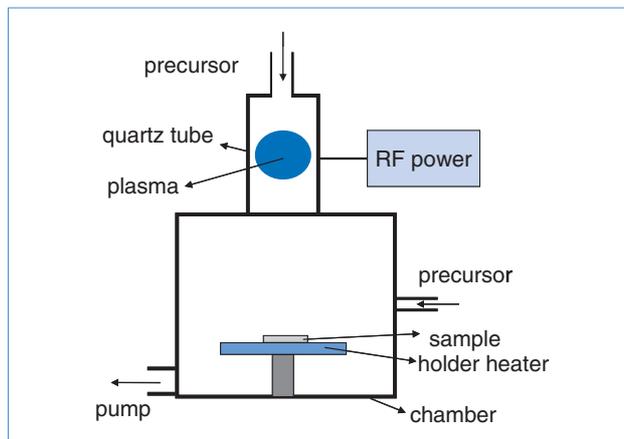


圖 11. Remote plasma ALD 系示意圖。

電流的能力。最近的實驗顯示，使用原子層沉積 (ALD) 沉積氧化鉛及氧化鋁，經過退火過程形成氮氧鉛化合物。當等效氧化層厚度 (equivalent oxide thickness, EOT) 等於 1.5 nm 時，漏電量相較於同等厚度的氮氧矽化合物 (SiON) 降低兩個數量級。在低電場載體移動率可達氮氧矽化合物的 80%，而在高電場載體移動率和氮氧矽化合物相當。這是在製作低功率高階金氧半場效電晶體閘極的重大突破，也為原子層沉積技術在積體電路上的應用更跨出了一大步。

3. 銅製程之應用

為了降低 RC 時間延遲，在半導體製程上，擁有較佳導電率的銅，逐漸地取代傳統的鋁製程。銅製程跟傳統的鋁製程不一樣。鋁製程是先將鋁沉積成薄膜，經微影刻繪出導線再沉積絕緣的電介層；而銅製程是先沉積一層電介層，經微影刻繪出導線溝渠結構。由於銅的擴散速度很快，很容易污染其他元件，因此必須沉積一層擴散阻障層，以防止銅的擴散，再沉積一層種子層，以電鍍方式將銅沉積至導線溝渠，此製程稱之為嵌入式製程 (damascene processing)。當半導體向 65 nm 和 45 nm 及以下製程發展時，原先由 PVD 製程所沉積的擴散阻障層其膜厚遇到了瓶頸，無法再進一步變薄，導致阻障層橫截面積佔整個導線橫截面積的比例越來越大。是故，可精準控制膜厚的原子層沉積 (ALD) 取代了 PVD 製程，提供了一個很好的解決辦法。

4. 奈米微觀世界之應用

材料在奈米化之後，奈米結構材料特有的「量子尺寸效應」、「量子穿隧效應」及「表面效應」等等現象，導致材料的光、聲、力、電、磁、熱學與化學等特性皆因奈米化而有所改變。例如：黃金隨著尺寸的縮小被製成金奈米粒子 (nanoparticle) 時，顏色不再是金黃色而是呈現紅色，光學性質因尺度的不同而產生了變化。因為如此，奈米材料深深吸引著各國科學家紛紛投入研究。而原子層沉積 (ALD) 優異的階梯覆蓋率、良好的薄膜均勻性及精確的膜厚控制，在奈米孔隙的填充或是奈米材料的覆蓋上，均有極佳的表現。例如：在陽極氧化鋁模板的孔洞內填充氧化鋁及氧化鋅⁽⁵⁾，在分子光晶體的孔隙內填充二氧化鈦⁽⁶⁾，在氧化鋅奈米柱表面均勻覆蓋一層氧化鋁薄膜⁽⁷⁾...等等。

近年來，由於一維半導體奈米材料獨特的物理、化學性質，引起人們相當大的興趣，因為氧化鋅具有高熔點 (~ 1975 °C) 及在高溫下熱與化學穩定性，所以一維氧化鋅奈米結構成為具有長壽命的場發射元件潛能之一。氧化鋅是一種寬能隙 (band-gap) (3.37 eV) 及高激子結合能 (exciton binding energy) (~ 60 meV) 的半導體物，且氧化鋅屬於直接能隙 (direct bandgap)，因此很適合作為光偵測器 (photodetector)、場效電晶體，以及其他光電元件。

先前有許多不同製作氧化鋅奈米柱或奈米管的技術報告被提出。一般而言，氧化鋅奈米結構的合成可分為金屬有機化學相沉積法、紅外線輻射法、熱蒸鍍經由 VLS 或 VS 機制、電化學沉積法及模板技術。在此，我們利用陽極氧化鋁模板輔助原子層沉積 (ALD) 在 250 °C 製作氧化鋅奈米柱於矽基材上，可得到高度有序氧化鋅奈米柱陣列，其平均直徑 70 nm、間距 90 nm，並量測其光激發光與場發射性質。利用此方式成長之低溫氧化鋅奈米柱具有優秀之光激發光與場發射性質⁽⁸⁾。

我們利用多功能真空濺鍍系統 (sputtering system) 先在四吋 P 型 (100) 矽基材上沉積 Ti 20 nm 作為附著層，繼續以熱阻絲蒸鍍系統 (thermal evaporation coater) 在高真空環境下 ($< 4 \times 10^{-6}$ Torr) 蒸鍍 1.5 μm 鋁膜作為鋁陽極處理膜。本實驗所使

用鋁錠純度為 99.999%，將鋁膜利用 0.3 M 草酸 (oxalic acid, $\text{H}_2\text{C}_2\text{O}_4$) 作為電解液 (electrolyte) 並以兩階段陽極處理 (two-step anodization process)，製作出高規則性排列之奈米孔洞。

如圖 12(a) 所示，新生成陽極氧化鋁平均直徑 70 nm、間距 90 nm，此奈米孔洞深寬比為 9。接著利用原子層沉積 (ALD) 沉積氧化鋅在陽極氧化鋁奈米結構中。我們以 $\text{Zn}(\text{C}_2\text{H}_5)_2$ (DEZ) 作為前驅物及 H_2O (deionized water) 反應物，使得氧化鋅沉積至陽極氧化鋁模板中。實驗中反應腔體操作壓力維持在 5 Torr。氧化鋅沉積溫度為 250 °C、循環沉積次數為 550 次、DEZ 附加時間為 1000 ms、DEZ 潔淨時間為 1500 ms、 H_2O 附加時間為 1000 ms、 H_2O 潔淨時間為 1500 ms。此製程參數之下，我們得到高品質氧化鋅奈米結構。因原子層沉積 (ALD) 為表面反應控制，故氧化鋅會以一層層的方式沉積至陽極氧化鋁模板中。沉積完畢之後，氧化鋅會將陽極氧化鋁奈米孔洞填滿並覆蓋在其表面上，如圖 12(b) 所示。繼續利用拋光的方式，使覆蓋在陽極氧化鋁表面的氧化鋅順利移除，如圖 12(c) 所示。最後將試片泡到 0.1 wt% $\text{NaOH}_{(\text{aq})}$ 溶液中將陽極氧化鋁模板去除，便可以得到垂直排列在矽基材的氧化鋅奈米柱陣列，如圖 12(d) 所示。

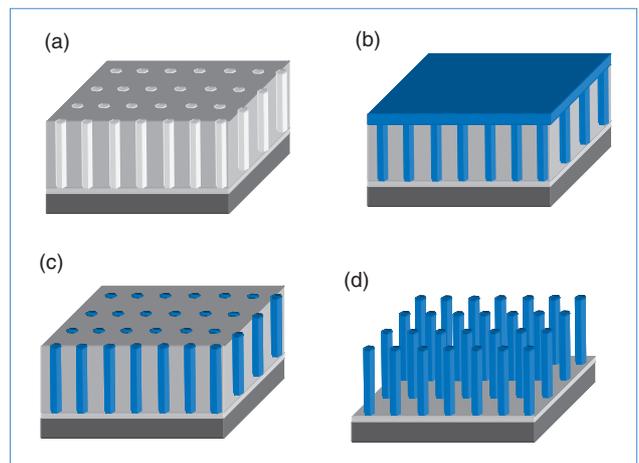


圖 12. 氧化鋅奈米柱製程示意圖：(a) 在矽基材上生成 AAO 奈米孔洞，(b) 利用原子層沉積 (ALD) 在 250 °C 沉積氧化鋅，(c) 經過拋光之後，(d) 將試片泡到 0.1 wt% $\text{NaOH}_{(\text{aq})}$ 溶液中將 AAO 模板去除。

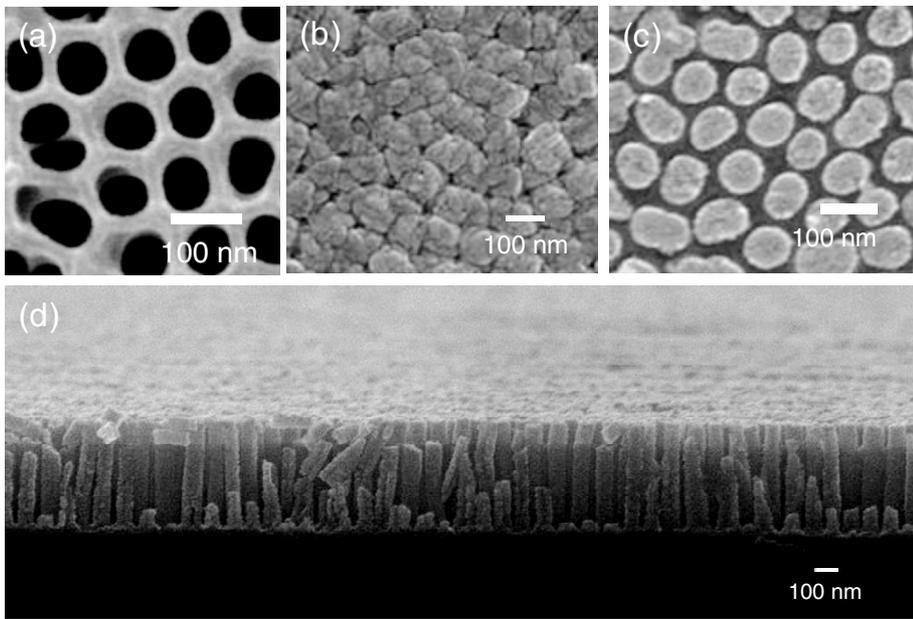


圖 13. (a) 陽極氧化鋁模板 SEM 平面圖，(b) 利用原子層沉積 (ALD) 在 250 °C 沉積氧化鋅，(c) 在拋光與選擇性蝕刻陽極氧化鋁模板後之 SEM 平面圖，(d) 氧化鋅奈米柱陣列之 SEM 側視圖。

利用陽極氧化鋁模板與原子層沉積 (ALD) 可製作出高度有序氧化鋅奈米柱垂直矽基材。圖 13(a) 為陽極氧化鋁模板在未沉積氧化鋅奈米柱於矽基材之平面圖，陽極氧化鋁奈米孔洞之平均直徑為 70 nm 且間距為 90 nm。利用原子層沉積 (ALD) 在 250 °C 沉積氧化鋅後，所有奈米孔洞皆填滿並覆蓋於表面上，如圖 13(b) 所示。在拋光與選擇性蝕刻之後，可以清楚地觀察所留下的氧化鋅奈米柱垂直於矽基材，如圖 13(c) 所示。我們發現所有陽極氧化鋁奈米孔洞都完全填滿氧化鋅。值得注意的是，在移除陽極氧化鋁模板後留下之氧化鋅奈米柱皆分離並未彼此接觸在一起，圖 13(d) 為氧化鋅奈米柱陣列之側視圖。氧化鋅奈米柱陣列高度為 470 nm。在靠近試片邊緣有些許氧化鋅奈米柱破斷，這是為了製備試片所做之劈裂關係。利用此方式所製備出氧化鋅奈米柱陣列其高度均一致，而且，它們彼此都垂直排列於矽基材。因此，由結果可以證明利用陽極氧化鋁模板輔助原子層沉積 (ALD) 為優異的製程，可製備出自我組織、高度一致氧化鋅奈米柱陣列於矽基材上。

以同樣利用原子層沉積 (ALD) 所製備的氧化鋅薄膜與奈米柱之光激發光作比較，圖 14 所示為氧化鋅薄膜 180 nm 與奈米柱之光激發光圖譜。氧化鋅薄膜在相同製程下其沉積溫度為 250 °C、循

環沉積次數為 550 次。將氧化鋅薄膜與奈米柱作比較，可以發現在紫外光區 379 nm 都有強的訊號存在。然而，氧化鋅奈米柱具有更高的光激發光強度。Shen 等人曾討論過氧化鋅奈米柱陣列之光激發光圖譜，可以發現光子-電子轉換效應與光效應對於奈米柱結構會因為直徑的下降與表面積的增加而有增強的效果，故氧化鋅奈米柱陣列相對於氧化鋅薄膜而言，有更強的光學性質。

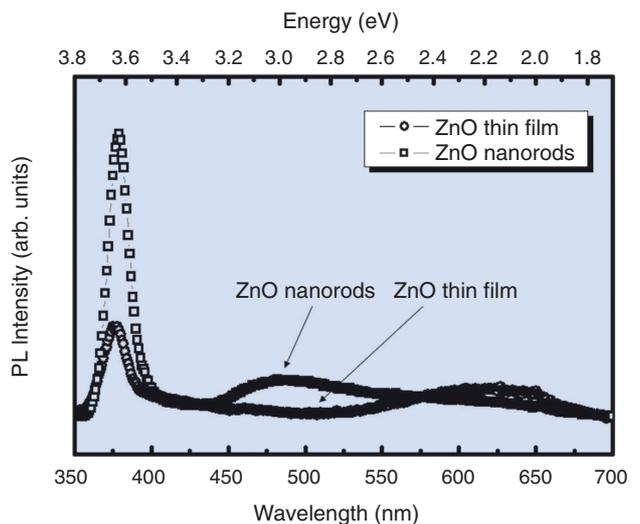


圖 14. 氧化鋅薄膜與奈米柱於矽基材上之光激發光圖譜。

從光激發光圖譜中，可以發現氧化鋅薄膜在 625 nm 位置存在一個紅色可見光，相較於氧化鋅奈米柱陣列在 480 nm 位置具有一個藍／綠可見光。由文獻中可以得知，在 480 nm 的波峰表示空隙氧和間隙氧間的躍遷，或者也可能由氧化鋅本質結構中氧和鋅的空隙所造成的。將鈦作為附著層可以製備出品質較佳之氧化鋅奈米柱。Kim 等人曾經提出，氧化鋅與鈦層的介面處可能會產生反應形成化合物 Zn_2TiO_4 ，此化合物與氧化鋅具有相同之纖鋅礦結構，但是與氧化鋅之間會有些許的晶格不整合性 (lattice mismatch)，在 ZnO 的 (110) 平面與 Zn_2TiO_4 的 (202) 平面間之晶格不整合性大約為 0.722%。此外，氧化鋅奈米柱也具有優異之場發射性質。

圖 15 為氧化鋅奈米柱之電流密度相對於電場之關係圖，在此可定義：當電流密度到達 $10 \mu A/cm^2$ 為起始電場 (turn-on field)，而電流密度到達 $10 mA/cm^2$ 為臨界電場 (threshold field)，實驗中所得之氧化鋅奈米柱的起始電場值為 $6.5 V/\mu m$ 。場發射性質之分析可以用福樂 (Fowler) 與諾德漢 (Nordheim) 公式，總電流 (I) 是在發射端表面之局部電場 (F) 的函數，其關係為 $I \propto (F^2/\Phi) \exp(-B\Phi^{3/2}/F)$ ，其中 $B = 6.83 \times 10^9 (V \cdot m^{-1} \cdot eV^{-3/2})$ 、 Φ 為材料的功函數 (氧化鋅之功函數為 5.3 eV)，而通常 $F = \beta E = \beta V/d$ ，其中 V 為外加電壓、 d 是陽極與試片間之距離， β 是場效增強因子 (field enhancement factor)，電場為 $E = V/d$ 。圖 15 之插圖是氧化鋅奈米柱之 F-N 曲線圖，將 $\ln(1/V^2)$ 為縱軸對 $1/V$ 作圖，可得一線性的 Fowler-Nordheim 圖，顯示氧化鋅奈米柱具有場發射性質。根據先前之研究，如果將一維奈米結構作完美的排列並垂直於基材，會獲得較低之臨界電場與較高電流密度的，使場發射性質大幅改善。利用此方式所製作之氧化鋅奈米柱，幾乎每一個奈米柱皆垂直成長於矽基材。另外，由於利用陽極氧化鋁模板使氧化鋅奈米柱不會彼此接觸而得到非常低的屏蔽效應。由以上結果證明：此氧化鋅奈米柱擁有的優異場發射性質將使它應用於光電元件。

我們利用陽極氧化鋁模板與原子層化學氣相沉積在矽基材上製備出高品質且自我組織之氧化鋅奈米柱，此方式不需要任何催化劑或觸媒層，並可在

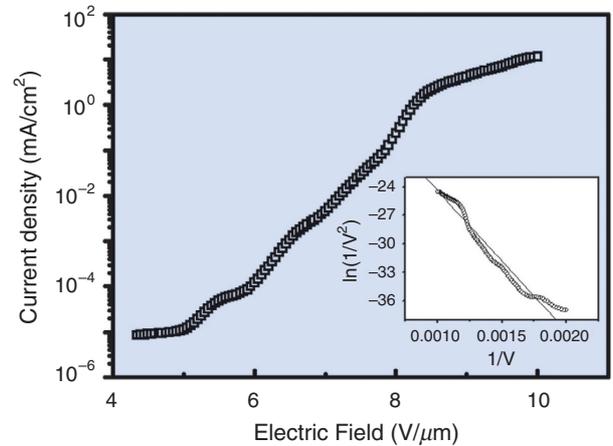


圖 15. 氧化鋅奈米柱之電流密度相對於電場之曲線圖。插圖為 ZnO 奈米柱之 F-N 曲線圖。

250 °C 低溫下進行。由光激發光圖譜結果發現在 379 nm 有強的訊號，且在 480 nm 位置具有一個藍／綠可見光。由氧化鋅奈米柱的場發射性質量測結果，可得到當電流密度到達 $10 \mu A/cm^2$ 時，具有較低的 $6.5 V/\mu m$ 起始電場。如此優異之場發射性質，乃由於每個氧化鋅奈米柱皆垂直排列於矽基材。此方式對於製作大尺寸面積的自排列氧化鋅奈米柱提供一個較佳的控制方法，將可以應用於許多重要的奈米技術上。

六、結論

由於依序性的氣體引進方式、飽和吸附與自我限制的鍍膜機制，使原子層沉積 (ALD) 擁有優異的階梯覆蓋率、良好的薄膜均勻性、精確的膜厚控制、傑出的製程穩定度、低溫製程及優良的薄膜品質…等等優點。除了基本製程參數之外 (如溫度、鈍氣的量)，基材的表面性質及前驅物的種類亦會影響原子層沉積 (ALD) 的薄膜沉積速率。原子層沉積 (ALD) 在沉積超薄薄膜的表現上，明顯的優於一般傳統的沉積技術。這使得原子層沉積 (ALD) 不論是在半導體工業的積體電路上或是學術界的奈米科技裡，將扮演著一舉足輕重的角色。

參考文獻

1. Suntola and J. Antson, *US Patent 4 058 430* (1977).

2. M. Ritala, *Applied Surface Science*, **112**, 223 (1997).
3. L. Niinistö, J. Päiväsaari, J. Niinistö, M. Putkonen, and M. Nieminen, *Phys. Stat. Sol. (a)*, **201** (7), 1443 (2004).
4. T. Suntola, A. J. Pakkala, and S. G. Lindfors, *US Patent 4 413 022* (1983).
5. M. J. Pellin, P. C. Stair, G. Xiong, J. W. Elam, J. Birrell, L. Curtiss, S. M. Geotge, C. Y. Han, L. Iton, H. Kung, M. Kung, and H.-H. Wang, *Catalysis Letters*, **102**, 127 (2005).
6. J. S. King, E. Graugnard, O. M. Roche, D. N. Sharp, J. Scrimgeour, R. G. Denning, A. J. Turberfield, and C. J. Summers, *Advanced Materials*, **18**, 1561 (2006).
7. B. Min, J. S. Lee, J. W. Hwang, K. H. Keem, M. I. Kang, K. Cho, M. Y. Sung, S. Kim, M.-S. Lee, S. O. Park, and J. T. Moon, *Journal of Crystal Growth*, **252**, 565 (2003).
8. C.-J. Yang, S.-M. Wang, S.-W. Liang, Y.-H. Chang, C. Chen, and J.-M. Shieh, *Appl. Phys. Lett.*, **90**, 033104 (2007).

• 章詠滄先生現為國立交通大學材料科學與工程研究所博士班學生。

- 陳智先生為美國加州大學洛杉磯分校材料科學與工程博士，現任國立交通大學材料科學與工程研究所副教授。
- 彭智龍先生為國立清華大學化學工程碩士，現任先藝半導體科技有限公司台灣分公司經理。
- Yung-Huang Chang is currently a Ph.D. student in the Institute of Materials Science and Engineering at National Chiao Tung University.
- Chih Chen received his Ph.D. in materials science and engineering from the University of California, Los Angeles, USA. He is currently an associate professor in the Institute of Materials Science and Engineering at National Chiao Tung University.
- Chih-Lung Peng received his M.S. in chemistry engineering from National Tsing Hua University. He is currently a manager in the ASM Far East Marketing Limited Taiwan Branch.